MENU SEARCH INDEX DETAIL JAPANESE

1/1

PATENT ABSTRACTS OF JAPAN

(11)Publication number:

11-345494

(43)Date of publication of application: 14.12.1999

(51)Int.CI.

G11C 16/02

(21)Application number : 10-152610

(71)Applicant: HITACHI LTD

HITACHI ULSI SYSTEMS CO LTD

(22)Date of filing:

02.06.1998

(72)Inventor: KANEMITSU MICHITARO

TSUJIKAWA TETSUYA

HARADA TOSHINORI

KOTANI HIROAKI **KUBONO SHOJI**

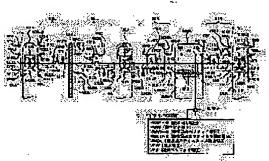
NOZOE ATSUSHI

YOSHITAKE TAKAYUKI

(54) SEMICONDUCTOR DEVICE, DATA PROCESSING SYSTEM AND METHOD FOR CHANGING THRESHOLD OF NONVOLATILE MEMORY CELL

(57) Abstract:

PROBLEM TO BE SOLVED: To provide the constitution not requiring that the additional write-in data are received at every write-in operation by logical synthetic processing/ latching the same write-in state in a memory cell of a writein state, and the write-in state indicated with the additional write data in the memory cell of an erase state based on the additional write data and the data from the memory cell. SOLUTION: A flash memory performs read operation using a read word line voltage VRW1 for a specified sector address, and latches it to a sense latch circuit SL to impart it to a data latch circuit DLR. Then, the flash memory performs the read operation using the read-out word line voltage VRW2 for the same sector address, and latched it to the sense latch circuit SL to impart it to the data latch circuit DLL. Further, the flash memory performs the read operation using the read word line voltage VRW3 for the same sector address, and holds stored quaternary information to data latch circuits DLR, DLL by using the latched data.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

(19)日本国特許庁 (JP)

(12) 公開特許公報(A)

(11)特許出顧公開番号

特開平11-345494

(43)公開日 平成11年(1999)12月14日

(51) Int.Cl.⁶

G11C 16/02

體別配号

FΙ

G11C 17/00

641

601T

611C

審査請求 未請求 請求項の数22 OL (全 41 頁)

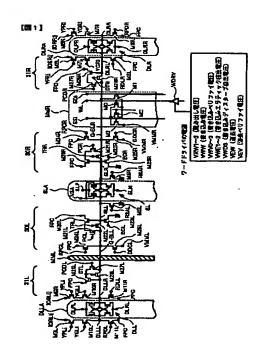
(21)出顧番号	特膜平10-152610	(71) 出願人 000005108
(22) 出顧日	平成10年(1998) 6月2日	株式会社日立製作所 東京都千代田区神田駿河台四丁目 6 番地 (71) 出願人 000233169 株式会社日立超エル・エス・アイ・システ
		ムズ 東京都小平市上水本町5丁目22番1号 (72)発明者 金光 道太郎 東京都小平市上水本町5丁目22番1号 株 式会社日立超エル・エス・アイ・システム
		ズ内 (74)代理人 弁理士 玉村 静世
		最終頁に続く

(54) 【発明の名称】 半導体装置、データ処理システム及び不揮発性メモリセルの関値変更方法

(57)【要約】

【課題】 追加魯込み動作を再度行なう場合に追加魯込みデータを再び度外部から受け取ることを要しない半導体装置を提供する。

【解決手段】 データラッチ回路 (DLR, DLL) に入力した追加書き込みデータとメモリセル (MC) から読み出したデータとに基づいて、書き込み状態の不揮発性メモリセルには同じ書き込み状態を、消去状態の不揮発性メモリセルには追加書込みデータで指示される書き込み状態を、プログラムするためのデータを生成し、生成されたデータをデータラッチ回路にラッチさせて、追加書き込みのための論理合成処理を行う。追加書き込み動作が終了しても、データラッチ回路には、論理合成処理されたデータが残り、そのラッチデータを、書き込み異常に対して再利用可能にでき、追加書込み動作を再度行なう場合に書込みデータを再び外部から受け取ることを要しない。



【特許請求の範囲】

【請求項1】 電気的に消去及び售込み可能な複数個の不揮発性メモリセルが接続されるピット線と、ピット線に接続されるセンスラッチ回路及びデータラッチ回路と、前記不揮発性メモリセルからセンスラッチ回路を介して読み出した情報をデータラッチ回路にラッチさせ、また、データラッチ回路にラッチされたデータに基づいて不揮発性メモリセルに対する售込み動作を制御する制御手段とを含み、

前記制御手段は、追加書き込みデータをデータラッチ回路に入力し、入力した追加書き込みデータとメモリセルから読み出したデータとに基づいて、書き込み状態の不揮発性メモリセルには同じ書き込み状態を、また、消去状態の不揮発性メモリセルには追加書込みデータで指示される書き込み状態を、プログラムするためのデータを論理合成処理し、論理合成処理によって得られたデータを前記データラッチ回路にラッチさせ、ラッチされたデータに従って不揮発性メモリセルに書き込みを行なうものである半導体装置。

【請求項2】 前記制御手段は、前記論理合成処理によって得られたデータを、書き込み異常に対して再利用可能に前記データラッチ回路に保持するものである請求項1に記載の半導体装置。

【請求項3】 前記制御手段は、前記論理合成処理によって得られたデータをデータラッチ回路にラッチした後、データラッチ回路にラッチされた論理合成処理結果のデータに従って不揮発性メモリセルに書き込みを行なう前に、当該魯込み動作の対象とされる不揮発性メモリセルに対して予め消去動作を行なうものである請求項2に記載の半導体装置。

【請求項4】 一対の入出力端子を有するセンスラッチ回路と、センスラッチ回路の夫々の入出力端子に対応して設けられたビット線と、ビット線に接続され電気的に消去及び魯込み可能な複数個の不揮発性メモリセルと、ビット線に接続される複数個のデータラッチ回路と、前記不揮発性メモリセルにプログラムされている閾値電圧状態に応じて当該不揮発性メモリセルからセンスラッチ回路を介して読み出した情報を4値以上の多値情報として複数個のデータラッチ回路にラッチさせ、また、複数個のデータラッチ回路にラッチさせ、また、複数のデータラッチ回路にラッチされた多値情報に基づいて不揮発性メモリセルに魯込みの閾値電圧状態をプログラムする制御手段とを含み、

前記制御手段は、多値情報としての追加書き込みデータをデータラッチ回路に入力すると、入力した追加書き込みデータと当該不揮発性メモリセルから読み出した多値情報とに基づいて、書き込みの閾値電圧状態を有する不揮発性メモリセルには同じむき込みの閾値電圧状態を、また、消去の閾値電圧状態を有する不揮発性メモリセルには追加む込みデータで指示される哲き込みの閾値電圧状態を、プログラムするための多値情報を論理合成処理

し、論理合成処理によって得られた多値情報をデータラッチ回路にラッチさせ、ラッチされた多値情報に従って 不揮発性メモリセルの閾値電圧状態をプログラムするものである半導体装置。

5 【請求項5】 前記制御手段は、前記論理合成処理によって得られた多値情報を、費き込み異常に対して再利用可能に前記データラッチ回路に保持するものである請求項4に記載の半導体装置。

【請求項6】 前記制御手段は、前記論理合成処理によって得られた多値情報をデータラッチ回路にラッチした後、データラッチ回路にラッチされた論理合成処理結果の多値情報に従って不揮発性メモリセルの閾値電圧状態をプログラムする前に、当該閾値電圧状態をプログラムする対象とされる不揮発性メモリセルに対して予め消去りがを行なうものである請求項5に記載の半導体装置。 【請求項7】 不揮発性メモリセルに替込み電圧を印加

するか否かはセンスラッチ回路にラッチされるデータの 論理値によって決定され、前記制御手段は、多値情報に 応ずる書込みの閾値電圧状態を不揮発性メモリセルに形 20 成するとき、前記センスラッチ回路に、書込み電圧印加 を指示する論理値のデータをセットするものである請求 項4乃至6の何れか1項に記載の半導体装置。

【請求項8】 電気的に消去及び書込み可能な複数個の不揮発性メモリセルが接続されるピット線と、ピット線25 に接続されるセンスラッチ回路及びデータラッチ回路と、前記不揮発性メモリセルからセンスラッチ回路を介して読み出した情報をデータラッチ回路にラッチさせ、また、データラッチ回路にラッチされたデータに基づいて書き込み単位であるセクタ単位で不揮発性メモリセル30 に対する書込み動作を制御する制御手段とを含み、

前記制御手段は、書き込み動作において、データラッチ 回路にラッチされたデータを用いて書き込み対象セクタ 内の書き込み選択とされる不揮発性メモリセルに書き込 み電圧を印加すると共に、書き込み電圧印加による閾値 電圧状態が目的閾値電圧状態に到達したか否かの判定を 書込み電圧の印加処理毎に毎回前記データラッチ回路に ラッチされているデータを用いて判定するものである半 導体装置。

【請求項9】 前記制御手段は、魯込み動作の後に続け 40 て、当該魯込み動作によってプログラムされた閾値電圧 が目的閾値電圧に対して過魯込み状態であるか否かを検 出するエラティック・ディスターブ検出を行なうもので ある請求項8に記載の半導体装置。

【請求項10】 前記制御手段は、前記不揮発性メモリ セルにプログラムされている閾値電圧状態に応じて当該 不揮発性メモリセルからセンスラッチ回路を介して読み 出した情報を4値以上の多値情報として複数個のデータラッチ回路にラッチさせ、また、複数個のデータラッチ 回路にラッチされた多値情報に基づいて費き込み単位で あるセクタ単位で不揮発性メモリセルに費込みの閾値電

圧状態をプログラムする多値情報記憶機能に対応されるとき、前記エラティック・ディスターブ検出において、 過書込み状態としてフェイルする確率の高いワードディスターブ検出を先に行なうものである請求項8に記載の 半導体装置。

【請求項11】 電気的に消去及び書込み可能な複数個の不揮発性メモリセルが接続されるピット線と、ピット線に接続されるセンスラッチ回路及びデータラッチ回路と、前記不揮発性メモリセルからセンスラッチ回路を介して読み出した情報をデータラッチ回路にラッチさせ、また、データラッチ回路にラッチされたデータに基づいて書き込み単位であるセクタ単位で不揮発性メモリセルに対する書込み動作を制御する制御手段とを含み、

前記制御手段は、消去後、デブリート防止のために過消 去状態のメモリセルに対して書き込みを行なって、消去 状態のメモリセルの閾値電圧を一定電圧以上に揃えるも のである半導体装置。

【請求項12】 前記制御手段は、前記デブリート防止のための書き込みを行なった後、ディスターブ検出を行なって閾値電圧の異常を検出するものである請求項11 に記載の半導体装置。

【請求項13】 前記制御手段は、消去前に消去ベリファイを行ない、フェイルしたセクタに対して消去を行なうものである請求項11又は12に記載の半導体装置。 【請求項14】 請求項1乃至13の何れか1項に記載の半導体装置と、当該半導体装置のアクセス制御を行なうアクセス制御手段とを含んで成るデータ処理システム。 【請求項15】 前記アクセス制御手段を外部とインタ

【請求項16】 1本のワード線と、

上記ワード線に結合された複数の不揮発性メモリセル と、

上記複数の不揮発性メモリセルに対応して設けられ、一 対の入出力ノードを各々有する複数の第1ラッチ回路 と、

上記複数の第1ラッチ回路の各々の一対の入出力ノードの一方にそれぞれ結合され、かつ、上記複数の不揮発性メモリセルが結合される複数の第1ビット線と、

上記複数の第1ラッチ回路の各々の一対の入出力ノードの他方にそれぞれ結合された複数の第2ビット線と、上記複数の第1ビット線に結合された第2ラッチ回路と、

上記複数の第2ビット線に結合された第3ラッチ回路 と、

上記第1乃至第2ビット線にそれぞれ結合された第1乃 至第2論理合成回路と、

上記第1乃至第3ラッチ回路及び第1乃至第2論理合成 回路に結合され、上記第1乃至第3ラッチ回路及び第1 乃至第2論理合成回路の動作を制御する制御回路を含 み。

上記複数の不揮発性メモリセルは、第1閾値電圧を有する第1メモリセル群と、上記第1閾値と異なる第2閾値 05 電圧を有する第2メモリセル群とを含み、

上記制御回路は、上記第1メモリセル群内の第1メモリセルの閾値電圧を上記第1閾値電圧から上記第2閾値電圧へ変更するに際し、

- (1)上記第1メモリセルの閾値電圧の変化を規定する 10 データを上記第1メモリセルの結合された1乃至複数の ピット線に対応する第2及び第3ラッチ回路へ格納する ように制御し、
- (2)上記第2メモリセル群の各メモリセルの閾値電圧に対応するデータを各メモリセルの結合された1乃至複数のビット線に結合された上記第1ラッチ回路へ読み出すと共に、上記読み出されたデータを上記第2メモリセル群内のメモリセルの結合された上記第1乃至第2論理合成回路によって論理合成して上記第2メモリセル群内のメモリセルの結合された1乃至複数のビット線に対応20する第2乃至第3ラッチ回路に格納するように制御し、
- (3)上記第2メモリセル群の各メモリセルの閾値電圧 を第1閾値電圧へ変更し、
- (4) その後、上記第2乃至第3ラッチ回路に格納された上記データに従って、上記第1乃至第2論理合成回路25 及び上記第1乃至第3ラッチ回路を制御して、上記第1メモリセルの閾値電圧を上記第1閾値電圧から第2閾値電圧へ変更させると共に、上記第2メモリセル群内のメモリセルの閾値電圧を元の第2閾値電圧へ変更する、ものである半導体装置。
- 30 【請求項17】 上記第2閾値電圧は、複数の値の中から選ばれた1つである請求項16に記載の半導体装置。 【請求項18】 上記第1閾値電圧は、消去状態を規定する閾値電圧とされ、上記第2閾値電圧は書き込み状態を規定する閾値電圧であり、
- 35 上記第2閾値電圧は、複数の値の中から選ばれた1つである請求項16に記載の半導体装置。

【請求項19】 上記第2閾値電圧は、3値の中から択一的に選択される電圧である請求項18に記載の半導体を設置。

- 40 【請求項20】 第1閾値電圧を有する第1メモリセル 群と、上記第1閾値と異なる第2閾値電圧を有する第2 メモリセル群とを含む複数の不揮発性メモリセルの閾値 変更方法であって、
- 上記第1メモリセル群内の第1メモリセルの閾値電圧の 45 変化を規定するデータを上記第1メモリセルの結合され た1乃至複数のピット線に対応する第1及び第2ラッチ 回路へ格納する第1格納工程と、

上記第2メモリセル群の各メモリセルの閾値電圧に対応 するデータを各メモリセルの結合された1乃至複数のビ 50 ット線に結合された第3ラッチ回路へ読み出す工程と、 上記読み出されたデータを論理合成回路によって論理合成し、上記第2メモリセル群内のメモリセルの結合された1乃至複数のピット線に対応する第1乃至第2ラッチ回路に格納する第2格納工程と、

上記第2メモリセル群の各メモリセルの閾値電圧を第1 閾値電圧へ変更する工程と、

上記第1乃至第2ラッチ回路に格納された上記データに 従って、上記論理合成回路及び上記第1乃至第3ラッチ 回路を制御して、上記第1メモリセルの閾値電圧を上記 第1閾値電圧から第2閾値電圧へ変更させると共に、上 記第2メモリセル群内のメモリセルの閾値電圧を元の第 2閾値電圧へ変更する工程と、

を含む不揮発性メモリセルの閾値変更方法。

【請求項21】 上記第1格納工程は、さらに、上記第 1 閾値電圧を規定するデータを、上記第2メモリセル群 内のメモリセルの結合された1乃至複数のビット線に対 応する第1及び第2ラッチ回路へ格納する工程を含む請 求項20に記載の不揮発性メモリセルの閾値変更方法。

【請求項22】 1本のワード線と、上記ワード線に結合された複数の不揮発性メモリセルと、上記複数の不揮発性メモリセルに対応して設けられ、一対の入出力ノードを各々有する複数の第1ラッチ回路と、上記複数の第1ラッチ回路の各々の一対の入出力ノードの一方にそれぞれ結合され、かつ、上記複数の不揮発性メモリセルが結合される複数の第1ビット線と、上記複数の第1ビット線に結合された第2ラッチ回路と、上記複数の第1ビット線に結合された第2ラッチ回路と、上記複数の第2ビット線に結合された第2ラッチ回路とを含む半導体装置において、上記不揮発性メモリセルの閾値電圧を第1閾値電圧から上記第1閾値電圧と異なる第2閾値電圧へ変更する不揮発性メモリセルの閾値の変更方法であって、

上記第2乃至第3ラッチ回路へ、上記第1閾値電圧から 上記第2閾値電圧へ変更することを規定するデータを格 納する工程と、

上記第2乃至第3ラッチ回路内に格納されたデータを論理合成して、上記第1ラッチ回路の情報を電圧印加情報に設定する設定工程と、

上記電圧印加情報に従って、上記不揮発性メモリセルへ 電圧を印加する電圧印加工程と、

上記電圧印加工程の後、上記第2乃至第3ラッチ回路に 格納された上記データに基づいて、上記不揮発性メモリ セルの閾値電圧が上記第2閾値電圧へ到達したか否かを 検査する検査工程と、を含み、

上記検査工程は、その閾値電圧が上記第2閾値電圧へ到 遠していない不揮発性メモリセルに対して、電圧が印加 される毎に行われる、不揮発性メモリセルの閾値変更方 法。

【発明の詳細な説明】

[0001]

【発明の属する技術分野】本発明は、電気的に消去及び 書込み可能な不揮発性メモリセルを有する半導体装置、 更には、1個のメモリセルに4値以上の多値情報に応ずる 閾値電圧をプログラム可能なフラッシュメモリなどの不 05 揮発性半導体記憶装置及び不揮発性メモリセルの閾値変 更方法に関し、例えば、当該不揮発性半導体記憶装置を 用いるファイルメモリシステムなどのデータ処理システムに適用して有効な技術に関するものである。

[0002]

- 10 【従来の技術】浮遊ゲートに対する電子の注入や電子の 引き抜きによって情報を記憶させることができる不揮発 性半導体記憶装置、例えばフラッシュメモリが従来から 提供されている。フラッシュメモリはフローティングゲート(浮遊ゲート)、コントロールゲート、ソース及び ドレインを持つメモリセルトランジスタを有する。この メモリセルトランジスタは、前記フローティングゲート に電子が注入されると閾値電圧が上昇し、また、前記フローティングゲートから電子を引き抜くと閾値電圧が低 下する。前記メモリセルトランジスタは、データ読み出 20 しのためのワード線電圧(コントロールゲート印加電 圧)に対する閾値電圧の高低に応じた情報を記憶することになる。特に制限されないが、本明細書においてメモリセルトランジスタの閾値電圧が低い状態を消去状態、高い状態を書き込み状態と称する。
- 25 【0003】このようなフラッシュメモリとして、1個のメモリセトランジスタに4値以上の情報を記憶するものがある。このような多値メモリについて記載された文献の例として日経マイクロデバイス (1994年11月号) 第48頁及び第49頁がある。さらに、特開平9-297996号公30 報がある。

[0004]

【発明が解決しようとする課題】多値メモリにおいて、例えば、消去状態と、消去状態に対して夫々閾値電圧が相違される第1乃至第3の書込み状態との中から一つの状態を選択できるようにすれば、1個のメモリセルトランジスタに4値の情報を格納することができる。書込み動作の前に消去動作が行なわれるとすれば、第1乃至第3の書き込み状態の全てを非選択とするか、或いは何れの書き込み状態を選択するかを決定することによって、4値の情報記憶を行なうことができる。そのための書き込み動作においては、前記第1乃至第3の書き込み状態を個々に得るための書き込み動作を選択するか否かを決定するための書き込み制御情報が必要になる。そのような書き込み制御情報を保持するために、夫々ピット線に設けられたセンスラッチ回路及びデータラッチ回路を用いることができる。

【0005】センスランチ回路は例えばスタティックラッチから成り、そのセンスラッチ回路の一対の入出力端子に夫々ビット線の一端が接続され、夫々のビット線に50 前記メモリセルトランジスタのドレインが接続される。

更に各ビット線の他端にデータラッチ回路が接続される。前記センスラッチ回路は、前記メモリセルトランジスタのコントロールゲートに読み出し電圧又はベリファイ電圧を印加したとき、そのソース・ドレイン間に電流が流れたり流れなかったりする状態をセンスする。このとき、センスラッチ回路の一方の動作非選択側のビット線はリファレンスレベルにブリチャージされている。また、コントロールゲートとドレインとの間に高電位を形成して書込みを行う場合、メモリセル毎にドレイン電圧を高くしたり低くしたりすることにより、メモリセルに対する書込み選択と書込み非選択とを区別することができる。この場合に、センスラッチ回路は書込み選択、非選択に応じたデータをラッチすることになる。このラッチデータが前記書き込み制御情報である。

【0006】そのような書き込み制御情報は、外部から 供給される書き込みデータの2ピット毎にデータ変換回 路を介して生成され、書き込み選択されるピット線のセ ンスラッチ回路と当該センスラッチ回路を共有するピット 線対の各データラッチ回路にラッチされる。ワード線 単位で書き込み動作が行なわれる場合、当該ワード線を 共有する全てのピット線に関し前記センスラッチ回路及 びデータラッチ回路に書き込み制御情報が予めラッチさ れる。

【0007】書き込み動作では、先ず、センスラッチ回路にラッチされた書き込み制御情報に従って第1書き込み状態への有無が決定され、次に、一方のデータラッチ回路からセンスラッチ回路に内部転送された書き込み制御情報に従って第2書き込み状態への有無が決定され、更に、他方のデータラッチ回路からセンスラッチ回路に内部転送された書き込み制御情報に従って第3書き込み状態への有無が決定される。このようにして、2ピットのデータで特定される4値の情報を1個のメモリセルに格納することができる。上記第1乃至第3書き込み状態への書き込み助作では夫々の書き込み状態に割り当てられている閾値電圧に到違したかを調べるペリファイ動作が行なわれる。

【0008】このとき、メモリセルの中には、第1乃至第3の各書き込み状態に対して過書き込み状態にされるものがあり、過書込み状態にされると、前後の書き込み状態における閾値電圧を区別することができなくなり、例えば、第1書き込み状態とされるべきメモリセルの閾値電圧が第2書き込み状態の閾値電圧と区別できなくなるほど高くされる場合がある。そのような場合には、書き込み動作を最初からやり直すために、書き込み対象とされたメモリセルに対して消去動作を行なった後、前記書き込み動作が再度行なわれる。

【0009】しかしながら、前記第1乃至第3書き込み状態への書き込み動作を一旦行なうと、最初にセンスラッチ回路にラッチされた書き込み制御情報はデータラッチ回路から内部転送された別の書き込み制御情報によって

上書きされて消失されてしまっている。このため、過費き込みに起因する再書き込み動作を行なうには、再度外部から同じ書き込みデータを受け取らなければならない。そのためには、フラッシュメモリをアクセス制御する制御回路は、フラッシュメモリに対する書き込み動作の後、しばらくの間、書き込みデータをワークメモリなどに保持させておかなければならず、フラッシュメモリをアクセス制御するための負荷も大きくなり、フラッシュメモリアクセス若しくはデータ処理効率を低下させる10原因になることが本発明者によって明らかにされた。

【0010】また、上記事情は追加書込みの場合も同様である。例えば、フラッシュメモリは、ハードディスク装置等の磁気ディスク記憶装置によるファイルシステムと互換のファイルメモリシステム等に利用される。この15とき、フラッシュメモリの記憶領域の一部はユーザ領域とは別の管理領域に割り当てられる。ワード線単位で書き込み・消去可能なフラッシュメモリにおいて、ワード線1本分のメモリセル(単にセクタと称する)はユーザ領域及び管理領域に割当てられ、その管理領域には、対20応セクタのユーザ領域の有効性を示す情報や書換え回数の情報が記憶される。このような記憶情報はその性質上、セクタ内で、ユーザデータの書換えとは別に行なわなければならない場合がある。このような要求に対処できる書込み動作態様として追加書込みがある。

25 【0011】追加曹込動作では、曹込み選択とされるメモリセルに追加曹込みデータが与えられることになるが、曹込み動作はセクタ単位で行なわれるため、曹込み非選択とされるメモリセルのデータを予め退避させ、退避したデータと追加曹込みデータとを併せて鲁込み動作30 を行なわなければならない。

【0012】しかしながら、この場合にも、過售込み状態などを生ずれば、書き込み動作を最初からやり直さなければならず、この時、再售込みデータを改めて外部から貰うのであれば、上記售込み動作と同様、フラッシュメモリに対する追加書き込み動作の後、しばらくの間、追加書き込みデータをワークメモリなどに保持させておかなければならず、フラッシュメモリをアクセス制御するための負担も大きくなり、フラッシュメモリアクセス若しくはデータ処理効率を低下させる原因になる。

【0013】また、本発明者は、フラッシュメモリの書込みペリファイ動作について検討した。書込み動作では書込み高電圧の印加とペリファイを繰り返しながら少しずつ閾値電圧を変化させていく。このような動作の過程で、メモリセルの閾値電圧状態が目標値に到達したことを検出すると、当該メモリセルが接続するピット線のセンスラッチに否き込み電圧阻止情報をラッチさせ、それ以降、一旦否込み閾値電圧状態になったことが判定されたメモリセルには2度と書き込み電圧が印加されない。

50 しかしながら、哲込み動作の初期の段階ではほとんどの

05

メモリセルが所要の鸖き込みの閾値電圧に到達していな いため書き込みベリファイ時、メモリセルのソースに流 れる電流が大きく、見掛け上閾値が高くなる。従って、 **魯込み動作の初期の段階で魯込みベリファイ動作がパス** したメモリセルの中には、所要の書込みの閾値電圧状態 に到違していないものが存在する虞がある。このような とき、一旦鸖込み閾値電圧状態になったことが判定され たメモリセルには2度と書き込み電圧を印加できない構 成では不都合である。

【0014】更に本発明者は、消去動作についても検討 した。これによれば、消去動作の後の鸖込み動作の効率 化、若しくは鸖き込まれたデータの信頼性を考慮すれ ば、消去状態のメモリセルについてもその閾値電圧の分 布を極力均一化することの重要性が見出された。

【0015】本発明の目的は、外部から供給された追加 **魯込みデータ若しくは退避のためにメモリセルから読み** 出されたデータが追加書込み動作毎に失われないように できる半導体装置を提供することにある。

【0016】本発明の別の目的は、追加魯込み動作を再 度行なう場合に追加書込みデータを再び外部から受け取 ることを要しない半導体装置を提供することにある。

【0017】本発明の更に別の目的は、魯込みベリファ イ動作で一旦所期の閾値電圧にされたと判定されても再 度ペリファイ動作の対象とすることで、曹込みペリファ イ動作の信頼性を向上させることができる半導体装置を - 提供することにある。

【0018】本発明の他の目的は、消去状態のメモリセ ルの閾値電圧の分布を均一化できる半導体装置を提供す ることにある。

【0019】本発明のその他の目的は、不揮発性メモリ セルの閾値変更方法を提供することにある。

【0020】本発明の前記並びにその他の目的と新規な 特徴は本明細鸖の記述及び添付図面から明らかになるで あろう。

[0021]

【課題を解決するための手段】本願において開示される 発明のうち代表的なものの概要を簡単に説明すれば下記 の通りである。

【0022】〔1〕第1の観点による本発明は、追加鸖 き込みデータの入力 (WS3) 、メモリセルから読み出 したデータと追加書き込みデータとの論理合成処理(W S 4) 、消し戻し (WS5) 、及び鸖き込み (TS1~ TS4)、を経て追加鸖き込みを行なう半導体装置

(1) 及びその閾値変更方法を提供する。この半導体装 置は、メモリセルの情報記憶が2値又は多値の何れであ ってもよい。

【0023】更に詳しくは、半導体装置は、電気的に消 去及び哲込み可能な複数個の不揮発性メモリセル (M C) が接続されるビット線 (G-BLR, G-BLL) と、ピット線に接続されるセンスラッチ回路(SL)及

びデータラッチ回路(DLR, DLL)と、前記不揮発 性メモリセルからセンスラッチ回路を介して読み出した 情報をデータラッチ回路にラッチさせ、また、データラ ッチ回路にラッチされたデータに基づいて不揮発性メモ リセルに対する鸖込み動作を制御する制御手段(18) とを含む。前記制御手段は、追加鸖き込みデータをデー タラッチ回路に入力し、入力した追加書き込みデータと メモリセルから読み出したデータとに基づいて、鸖き込 み状態の不揮発性メモリセルには同じ書き込み状態を、 10 また、消去状態の不揮発性メモリセルには追加書込みデ ータで指示される鸖き込み状態を、プログラムするため のデータを論理合成処理し、論理合成処理によって得ら れたデータを前記データラッチ回路にラッチさせ、ラッ チされたデータに従って不揮発性メモリセルに書き込み 15 を行なう。これにより、論理合成処理したデータをデー タラッチ回路にラッチした状態で上記追加書込みを行な うことができる。詳しくは、論理合成処理したデータを データラッチ回路にラッチし、ラッチしたデータが例え ば多値のどの閾値電圧に対応するかを複数段階の鸖込み 20 動作毎に判定してその判定結果である曹込み制御情報を センスラッチ回路にラッチさせ、センスラッチ回路にラ ッチされた書込み制御情報に従って、多値の閾値電圧を

【0024】したがって、追加鸖き込み動作が終了して も、データラッチ回路には、論理合成処理されたデータ が残る。魯込み動作の完了まで論理合成処理の結果デー タをデータラッチ回路に保持すれば、そのラッチデータ を、書き込み異常に対して再利用可能にでき、追加書込 み動作を再度行なう場合に鸖込みデータを再び外部から 受け取ることを要しない。したがって、半導体装置をア クセス制御する制御回路は、半導体装置に対する鸖き込 み動作の後、しばらくの間、書き込みデータをワークメ モリなどに保持しておかなくてもよく、半導体装置のメ 35 モリアクセス若しくはメモリアクセスを伴うデータ処理 効率を向上させることができる。

メモリセルに設定するための書込み動作を段階的に行な

【0025】前記論理合成処理によって得られたデータ をデータラッチ回路にラッチした後、データラッチ回路 **にラッチされた論理合成処理結果のデータに従って不揮** 40 発性メモリセルに書き込みを行なう前に、当該書込み動 作の対象とされる不揮発性メモリセルに対して予め消去 動作 (消し戻し、弱い消去) を行なうことができる。こ れにより、追加書込みであっても、追加書込み直前のメ モリセルの状態は概ね消去状態に揃えられるから、鸖換 え耐性の範囲で追加鸖き込みの回数制限を撤廃でき、追 加魯込みされたデータの信頼性を向上させることができ

【0026】上記手段を4値以上の多値の情報記憶に特 化させた具体的な内容の半導体装置は、一対の入出力端 50 子を有するセンスラッチ回路と、センスラッチ回路の夫 々の入出力端子に対応して設けられたビット線と、ビッ ト線に接続され電気的に消去及び暫込み可能な複数個の 不揮発性メモリセルと、ビット線に接続される複数個の データラッチ回路と、前記不揮発性メモリセルにプログ ラムされている閾値電圧状態に応じて当該不揮発性メモ リセルからセンスラッチ回路を介して読み出した情報を 4値以上の多値情報として複数個のデータラッチ回路に ラッチさせ、また、複数個のデータラッチ回路にラッチ された多値情報に基づいて不揮発性メモリセルに書込み の閾値電圧状態をプログラムする制御手段とを含む。前 記制御手段は、多値情報としての追加書き込みデータを データラッチ回路に入力すると、入力した追加書き込み データと当該不揮発性メモリセルから読み出した多値情 報とに基づいて、書き込みの閾値電圧状態を有する不揮 発性メモリセルには同じ書き込みの閾値電圧状態を、ま た、消去の閾値電圧状態を有する不揮発性メモリセルに は追加魯込みデータで指示される書き込みの閾値電圧状 態を、プログラムするための多値情報を論理合成処理 し、論理合成処理によって得られた多値情報をデータラ ッチ回路にラッチさせ、ラッチされた多値情報に従って 不揮発性メモリセルの閾値電圧状態をプログラムする。 【0027】〔2〕第2の観点による本発明は、多値で あっても2値であっても、 書込みデータを原始的にラッ チするデータラッチ回路(DLR, DLL)のラッチデ ータを毎回用いて書き込みベリファイ動作を行なう。す なわち、半導体装置は、電気的に消去及び鸖込み可能な 複数個の不揮発性メモリセルが接続されるビット線と、 ビット線に接続されるセンスラッチ回路及びデータラッ チ回路と、前記不揮発性メモリセルからセンスラッチ回 路を介して読み出した情報をデータラッチ回路にラッチ させ、また、データラッチ回路にラッチされたデータに 基づいて書き込み単位であるセクタ単位で不揮発性メモ リセルに対する書込み動作を制御する制御手段(18) とを含む。前記制御手段は、書き込み動作において、デ ータラッチ回路にラッチされたデータを用いて書き込み 対象セクタ内の書き込み選択とされる不揮発性メモリセ ルに書き込み電圧を印加する(WS11)と共に、書き 込み電圧印加による閾値電圧状態が目的閾値電圧状態に 到違したか否かの判定を書込み電圧の印加処理毎に毎回 前記データラッチ回路にラッチされているデータを用い て判定する (WS12, WS13)。

【0028】この手段によれば、データラッチ回路に保持されているデータを毎回用いて書き込みベリファイ動作を行なうから、書込みの初期の段階などで書き込みベリファイ動作によって所期の閾値電圧に達したことが誤って判定されても、その不良を確認して再書込み可能になる。

【0030】また、不揮発性メモリセルに多値で情報記憶を行なう場合、前記エラティック・ディスターブ検出において、フェイルする確率の高いワードディスターブ検出を先に行なうことができる。これにより、フェイルする場合にフェイルの状態を検出するまでの処理時間を短縮できる。

【0031】[3]第3の観点による本発明は、多値であっても2値であっても、消去後、デブリート防止のために過消去状態のメモリセルに対して書き戻し(閾値電10 圧が一定電圧以下のメモリセルを選択的に書き込む)を行なって、消去状態のメモリセルの閾値電圧を一定電圧以上に揃える。さらに、前記デブリート防止のための書き戻しを行なった後、ディスターブ検出を行なって閾値電圧の異常を検出する。これにより、消去状態のメモリセルの閾値電圧分布を均一化できる。

【0032】また、消去前に消去ペリファイを行ない、フェイルしたセクタに対してだけ消去を行なう。これにより、消去動作の無駄な時間を省くことができる。

【0033】〔4〕上記半導体装置は例えばフラッシュメモリのような単一半導体基板上に形成された半導体メモリ、或いは、フラッシュメモリをオンチップで備えたマイクロコンピュータないしマイクロプロセッサなどとされる。前記半導体メモリ化されたフラッシュメモリは、PC (Personal Computer) カードとしての不揮発25 性メモリカードのようなデータ処理システムを構成できる。このデータ処理システムは、フラッシュメモリとされる半導体装置と、当該半導体装置のアクセス制御を行なうアクセス制御手段と、前記アクセス制御手段を外部とインタフェースさせるインタフェース手段とをカード30 基板に含む。

[0034]

【発明の実施の形態】《フラッシュメモリの全体構成》 図2には本発明の一例に係るフラッシュメモリ1の全体 的な回路ブロック図が示される。同図に示されるフラッ シュメモリ1は、一つのメモリセルに2ビットの情報を 記憶する4値フラッシュメモリとされる。

【0035】同図においてメモリアレイ3は、メモリマット、データラッチ回路及びセンスラッチ回路を有する。このメモリマットは電気的に消去及び書き込み可能40 な不揮発性のメモリセルトランジスタを多数有する。メモリセルトランジスタ (フラッシュメモリセルとも記す)は、例えば図3に例示されるように、半導体基板若しくはウェルSUB内に形成されたソースS及びドレインDと、ソースSとドレインDとの間のチャンネル領域6トンネル酸化膜を介して形成されたフローティングゲートFG、そしてフローティングゲートFGに層間絶縁膜を介して重ねられたコントロールゲートCGによって構成される。コントロールゲートCGはワード線6に、ドレインDはビット線5に、ソースSは図示を省略する

【0036】フラッシュメモリ1の外部入出力端子I/00~I/07は、アドレス入力端子、データ入力端子、データ出力端子、コマンド入力端子に兼用される。外部入出力端子I/00~I/07から入力されたXアドレス信号はマルチプレクサ7を介してXアドレスバッファ8に供給される。Xアドレスデコーダ9はXアドレスバッファ8から出力される内部相補アドレス信号をデコードしてワード線を駆動する。

【0037】前記ビット線5の一端側には、後述されるセンスラッチ回路(SL)が設けられ、他端には同じく後述されるデータラッチ回路(DLL、DLR)が設けられている。ビット線5はYアドレスデコーダ11から出力される選択信号に基づいてYゲートアレイ回路13で選択される。外部入出力端子I/00~I/07から入力されたYアドレス信号はYアドレスカウンタ12にプリセットされ、プリセット値を起点に順次インクリメントされたアドレス信号が前記Yアドレスデコーダ11に与えられる。

【0038】Yゲートアレイ回路13で選択されたビット線は、データ出力動作時には出力バッファ15の入力端子に導通され、データ入力動作時には入力バッファ17を介してデータ制御回路16の出力端子に導通される。出力バッファ15、入力バッファ17と前記入出力端子I/00~I/07との接続は前記マルチプレクサ7で制御される。入出力端子I/00~I/07から供給されるコマンドはマルチプレクサ7及び入力バッファ17を介してモード制御回路18に与えられる。

【0039】制御信号バッファ回路19には、アクセス 制御信号としてチップイネーブル信号CEb、出力イネー ブル信号OEb、魯き込みイネーブル信号WEb、シリ アルクロック信号SC、リセット信号RESb及びコマ ンドイネーブル信号CDEbが供給される。モード制御 回路18は、それら信号の状態に応じて外部との信号イ ンタフェース機能などを制御し、また、入力されたコマ ンドに従って内部動作を制御する。入出力端子I/00~I/ 07に対するコマンド入力又はデータ入力の場合、前記信 号CDEbがアサートされ、コマンド入力であれば更に 信号WEbがアサート、データ入力であればWEbがネ ·ゲートされる。アドレス入力であれば、前記信号CDE bがネゲートされ、信号WEbがアサートされる。これ により、モード制御回路18は、外部入出力端子I/00~ **I/07からマルチプレクスされて入力されるコマンド、デ** ータ及びアドレスを区別できる。モード制御回路18 は、消去や魯込み動作中にレディー・ビジー信号R/B bをアサートしてその状態を外部に知らせることができ

【0040】内部電源回路(内部電圧発生回路)20 は、む込み、消去、ベリファイ、読み出しなどのための 各種内部電圧とされる動作電源21を生成して、前記X アドレスデコーダ9やメモリセルアレイ3に供給する。 【0041】前記モード制御回路18は、入力コマンドに従ってフラッシュメモリ1を全体的に制御する。フラッシュメモリ1の動作は、基本的にコマンドによって決定される。フラッシュメモリのコマンドには、例えば図054に例示される、読み出し、消去、曹込み、及び追加書込みの各コマンドがある。同図において、コマンドコードは16進数表記され、それが記号Hで示されている。【0042】フラッシュメモリ1はその内部状態を示すためにステータスレジスタ180を有し、その内容は、10信号OEbをアサートすることによって入出力端子I/00~I/07から読み出すことができる。ステータスレジスタ180の各ビットの内容と入出力端子I/00~I/07との対応が図5に例示されている。

【0043】図6には前記メモリアレイ3に含まれるデ 15 ータラッチ回路とセンスラッチ回路との関係が示されて いる。中央にセンスラッチ回路SLのアレイSLAが配 置され、センスラッチ回路SLの一方の入出力ノードS LL側にはスイッチ回路・演算回路アレイ30L、メモ リマットMML、スイッチ回路・演算回路アレイ31 20 L、及び上位データラッチ回路DLLのアレイDLLA が配置されている。他方の入出力ノードSLR側にも同 様に、スイッチ回路・演算回路アレイ30R、メモリマ ットMMR、スイッチ回路・演算回路アレイ31R、及 び下位データラッチ回路DLRのアレイDLRAが配置 25 されている。更に図6に示されるように、一対のビット 線に着目してその構成を把握すれば、スタティックラッ チ形態のセンスラッチ回路SLの一対のデータ入出力ノ ードSLL, SLRにはピット線G-BLL, G-BL Rを介してデータラッチ回路DLL、DLRが設けられ 30 ている。データラッチ回路DLL, DLRはYゲートア レイ回路13を介して供給される書込みデータビットを ラッチすることができる。この例に従えば、フラッシュ メモリ1は、8ピットの入出力端子I/00~I/07を有する から、1回の書込みデータの入力によって4対のビット線 35 のデータラッチ回路DLL, DLRに書込みデータをセ ットすることができる。データセットの態様は、図7の データラッチ回路DDL,DLRと対とされる入出力端 子I/04, I/00との対応関係に代表されるように、一定に される。ここでの説明では、書込みの単位をワード線単 40 位とするので、1本分のワード線に選択端子が結合する 全てのメモリセルのビット線に関するデータラッチ回路 DLL, DLRに書込みデータをセットした後、書込み 電圧印加による曹込み動作が行なわれることになる。I/ 05と1/01、1/06と1/02、1/07と1/03とは上記1/04と1/00 45 の様に、対をなす。

【0044】図2に示されるフラッシュメモリ1が実現しようとする多値情報記憶技術において、一つのメモリセルの情報記憶状態は、消去状態("11")、第1の む込み状態("10")、第2のむ込み状態("0

50 0")、第3の鸖込み状態("01")の中から選ばれ

た一つの状態とされる。全部で4通りの情報記憶状態は、2ピットのデータによって決定される状態とされる。即ち、2ピットのデータを一つのメモリセルで記憶する。この4値のデータと閾値電圧との関係は、図8の閾値電圧分布図に示される通りである。

【0045】図8に示されるような閾値分布を得るには、消去の後の魯込み動作時にワード線に印加する魯込みペリファイ電圧を相互に異なる3種類の電圧に設定し、これらの3種類の電圧を順次切り替えて、3回に分けて魯込み動作を行なう。図8において、VWV1,VWV2,VWV3は夫々第1の魯込み状態,第2の魯込み状態,第3の魯込み状態を得る時に用いる魯込みベリファイ電圧である。

【0046】それら3回に分けた個々の書込み動作において、ワード線とピット線の電圧印加状態の一例は図9に示される。書込み選択のピット線には0V、非選択のピット線には6Vを印加する。特に制限されないが、ワード線は例えば17Vとされる。前記書き込み高電圧印加時間を多くするにしたがってメモリセルの閾値電圧が上昇される。3種類の書き込み閾値電圧制御は、そのような高電圧状態の時間制御、更にはワード線に印加する高電圧のレベル制御によって行うことができる。

【0047】ビット線に0Vを印加するか、6Vを印加するかは、センスラッチ回路SLにラッチさせる書込み制御情報の論理値で決定される。書込み動作選択メモリマット側においてセンスラッチのラッチデータが論理値"1"で書込み非選択、論理値"0"で書き込み選択となるように制御される。その制御の詳細は後述する。尚、図9に示される様に、セクター括消去時には、選択ワード線が-16Vとされ、非選択ワード線が0Vとされ、選択ビット線は2Vとされる。

【0048】上記センスラッチ回路SLに対する書込み 制御情報のラッチ動作は、前記3回に分けた書込み動作 の各動作毎に制御される。この書込み制御は前記モード 制御回路18が行い、そのとき、前記センスラッチ回路 SLがラッチすべき鸖込み制御情報は、データラッチ回 路DLL,DLRが保持している書込みデータビットを 用いた演算を書込み動作毎に行なって生成し、それをセ ンスラッチ回路SLにラッチさせる。例えば、図7に例 示されるように、データラッチ回路DLL,DLRにラ ッチされた書込みデータが"01"であったとすると、 図8に例示されるように"01"状態は第3の書込み状 態である。消去状態の後の3回に分けた鸖込み動作が、 図10の第2の態様 (Case2) の如く閾値電圧の低い順 に書込み状態を生成していく書込み手順が採用されてい る場合、第1回目(1)に第1の曹込み状態を得るため の售込み動作時にデータラッチ回路DLL, DLRの售 込みデータ ("01")を用いて演算された結果(費き 込み制御情報) は論理値"1"、第2回目(2)に第2 の書込み状態を得るための書込み動作時にデータラッチ

回路DLL, DLRの曹込みデータ("01")を用いて演算された結果は論理値"1"、第3回目(3)に第3の曹込み状態を得るための曹込み動作時にデータラッチ回路DLL, DLRの曹込みデータ("01")を用いて演算された結果は論理値"0"とされる。そのような演算は、前記スイッチ回路・演算回路アレイ(31 L、30L又は31R、30R)を動作させて行なう。したがって、第3回目(3)の曹込み時だけ、曹込み電圧が印加され、当該メモリセルには4値の内の第3の曹10 込み状態("01")が実現される。

【0049】このようにして、3回に分けて魯込み動作が行なわれても、最初にデータラッチ回路DLL,DLRにラッチされた魯込みデータは破壊されず、そのまま維持されている。データラッチ回路DLL,DLRにラッチされた2ピットの魯込みデータを、書き込み動作毎に前記スイッチ回路・演算回路アレイ(31L、30L及び31R、30R)によって演算し、その演算結果のデータを毎回センスラッチ回路SLにセットするという、制御シーケンスを採用するからである。

【0050】尚、書込み動作において閾値電圧を変化さ せる順番などは図10の第2の態様 (Case2) に限定さ れず、第1の態様 (Case1) のように閾値電圧の高いもの から設定したり、或いは第3の態様 (Case3) のように どの書込み状態に対しても1回の書込み動作で得る閾値 25 電圧の変化率を同じようにしたり、或いは第4の態様 (Case4) 又は第5の態様 (Case5) の如く制御すること も可能である。すなわち、Case 4 において、第1回目 (1) の書き込みで、データ"00"乃至"01"にさ れるべきメモリセルの閾値が、"00"に対応する閾値 30 へ変化させられる。次に、第2回目(2)の書き込み で、第1回目(1)の書き込みで、データ"00"に対 応する閾値に設定されたメモリセルの中から、データ" 01"にされるベきメモリセルの閾値がデータ"01" に対応する閾値へ変化させられる。そして、第3回目 (3) の書き込みで、データ"10"にされるベきメモ リセルの閾値がデータ"10"に対応する閾値へ変化さ せられる。Case 5 において、第1回目(1)の書き込み は、Case 4 と同様に、上記データ"00"乃至"01" にされるべきメモリセルの閾値が、"00"に対応する 閾値へ変化される。次に、第2回目(2)の書き込み

で、データ"10"にされるベきメモリセルの閾値がデータ"10"に対応する閾値へ変化させられる。その後、第3回目(3)の書き込みで、第1回目(1)の書き込みで、データ"00"に対応する閾値に設定された メモリセルの中から、データ"01"にされるベきメモリセルの閾値がデータ"01"に対応する閾値へ変化さ

せられる。 【0051】データ読み出し動作時は、ワード線に印加 するワード線選択レベルとしての電圧を、3種類設定

50 し、3種類のワード線選択レベルを順次変更しながら3

回の読出し動作を行い、個々の読み出し動作でメモリセルから読み出される 2 値(1 ピット)のデータをセンスラッチ回路 4 にラッチする。ラッチされる度に、センスラッチされた内容をデータラッチ回路に2ピットの情報として反映させる演算を行なう。3回のセンスラッチの結果によってデータラッチ回路DLL,DLRに得られた2ピットが、当該メモリセルが保有する4値の情報に対応するデータとされる。

【0052】図11には図2のフラッシュメモリをレイアウト的な観点から表現したブロック図が示される。図11において、モード制御回路18は、コマンドデコーダ、ステート情報を格納したROM、ROMのデコーダ、ROM制御系回路、CPU、及びステータスレジスタ・テスト系回路によって構成される。また、Yアドレスカウンタ12には冗長による救済制御系の回路も含まれている。また、図2のマルチブレクサ7及び入力バッファ17は、図11において、入力バッファ70、データの信号配線、及びメインアンブ170によって実現されている。図2の制御信号バッファ回路19は制御信号入力バッファ19Aとデータ入出力制御回路19Bによって構成される。メモリアレイ3には、センスラッチ回路アレイSLAを挟んでその両側に2組のメモリマットMMR, MMLが設けられている。

【0053】《メモリアレイの詳細》次に、上記メモリアレイの詳細を説明する。図1には、上記フラッシュメモリにおけるセンスラッチ回路及びデータラッチ回路を中心とする回路構成の一例が示される。図1には1個のセンスラッチ回路SLの左右一対のピット線G-BLL、G-BLRの周囲の構成が代表的に示されている。図1から明らかなように、左右一対のピット線G-BLL、G-BLRの周囲の構成は、センスラッチ回路SLを中心に鏡面対称構造とされる。

【0054】メモリマットMML, MMRは電気的に書 き換え可能な複数個のメモリセルMC(代表的に数個が 図示されている)を有する。1個のメモリセルMCは、 図3に示される通り、コントロールゲート、フローティ ングゲート、ソース及びドレインを持ち電気的に書き換 え可能な1個のトランジスタ (メモリセルトランジス タ)によって構成される。メモリセルのレイアウト構造 は、特に制限されないが、所謂AND型とされる。メモ リマットMMR側に例示されるように、AND型の構成 では、複数個の前記メモリセルトランジスタがそれらに 共通のソース及びドレインを構成する夫々の拡散層(半 **導体領域)を介して並列配置され、ドレインを構成する** 拡散層は選択トランジスタM1を介してビット線G-B LRに、ソースを構成する拡散層は選択トランジスタM 2を介して共通ソース線VMMRに結合されている。S Siは選択トランジスタM2のスイッチ制御信号、SD i は選択トランジスタM 1のスイッチ制御信号である。 WLはメモリセルMCのコントロールゲートに結合され るワード線である。メモリマットMMLも同様に構成されている。尚、本明細鸖に添付された図面においてPチャンネル型MOSトランジスタはその基体ゲートに矢印を付してNチャンネル型MOSトランジスタと区別して05 図示してある。

【0055】前記センスラッチ回路SLは、一対のCMOSインパータから成るスタティックラッチ、即ち相互に一方のCMOSインパータの入力端子を他方のCMOSインパータの出力端子に結合して成る回路、によって10 構成されている。SLR、SLLはセンスラッチ回路SLの一対の入出力ノードである。SLP、SLNはセンスラッチ回路SLの動作電源である。MOSトランジスタM5L、M5Rは入出力ノードSLL、SLRを選択的にディスチャージ(クリア)する。

15 【0056】前記データラッチ回路DLRは、一対のC MOSインパータから成るスタティックラッチ、即ち相 互に一方のCMOSインパータの入力端子を他方のCM OSインパータの出力端子に結合して成る回路、によって構成されている。DLRR, DLRLはデータラッチ 回路DLRの一対の入出力ノードである。DLPR, DLNRはデータラッチ回路DLRの動作電源である。MOSトランジスタM6L, M7Lの直列回路とMOSトランジスタM6R, M7Rの直列回路は、前記データラッチ回路DLRに相補信号形態でデータを入出力するカラムスイッチ回路を構成する。MOSトランジスタM8L, M8Rは入出力ノードDLRL, DLRRを選択的にチャージするトランジスタである。

【0057】前記データラッチ回路DLLは、一対のCMOSインパータから成るスタティックラッチ、即ち相 30 互に一方のCMOSインパータの入力端子を他方のCMOSインパータの出力端子に結合して成る回路、によって構成されている。DLLR,DLLはデータラッチ回路DLLの一対の入出力ノードである。DLPL,DLNLはデータラッチ回路DLLの動作電源である。M 35 OSトランジスタM9L,M10Lの直列回路とMOSトランジスタM9R,M10Rの直列回路は、前記データラッチ回路DLLに相補信号形態でデータを入出力するカラムスイッチ回路を構成する。MOSトランジスタM11L,M11Rは入出力ノードDLLL,DLLR を選択的にチャージするトランジスタである。

【0058】前記スイッチ回路・演算回路アレイ30Rは、ピット線G-BLR毎にMOSトランジスタM20R~M25Rによって構成される回路を有する。トランジスタM20Rはセンスラッチ回路SLの入出力ノードSLRの電圧レベルをゲートに受け、それがハイレベルのとき、電圧FPCをMOSトランジスタM21Rを介してピット線G-BLRへ供給される電圧レベルは制御信号PCRの電圧レベルによるMOSトランジスタM21Rのコンダクタンス制御で決定される。トランジスタM22Rは

入出力ノードSLRとピット線G-BLRとを選択的に 導通させるトランスファゲートを構成する。MOSトラ ンジスタM23Rはオール判定(ALL判定とも記す) に利用される。MOSトランジスタM24R, M25R はピット線G-BLRのプリチャージ、ディスチャージ に利用される。前記スイッチ回路・演算回路アレイ30 Lもピット線G-BLL毎にMOSトランジスタM20 L~M25Lによって上記同様に構成される回路を有す る。尚、MOSトランジスタM20L, M21L, M2 4L, M25Lのゲート制御信号は前記MOSトランジ スタM20R、M21R、M24R、M25Rとは相違 される。MOSトランジスタM22LとM22Rは、常 に同時に動作する様に制御される。

【0059】前記スイッチ回路・演算回路アレイ31R は、ビット線G-BLR毎にMOSトランジスタM26 R~M28Rによって構成される回路を有する。トラン ジスタM26Rはデータラッチ回路DLRの入出力ノー ドDLRLの電圧レベルをゲートに受け、それがハイレ ベルのとき、電圧FPCをMOSトランジスタM27R を介してピット線G-BLRに供給する。この場合、ビ ット線G-BLRへ供給される電圧レベルは制御信号P CDRの電圧レベルによるMOSトランジスタM27R のコンダクタンス制御で決定される。トランジスタM2 8Rは入出力ノードDLRLとピット線G-BLRとを 選択的に導通させるトランスファゲートを構成する。前 記スイッチ回路・演算回路アレイ31Lもピット線G-BLL毎にMOSトランジスタM26L~M28Lによ って上記同様に構成される回路を有する。尚、MOSト ランジスタM27L, M28Lのゲート制御信号は前記 MOSトランジスタM27R, M28Rとは相違され る。

【0060】図1には代表的に1個のワードドライバW DRVが図示されている。ワードドライバWDRVの動 作電源、即ち、ワード線の駆動電圧は、フラッシュメモ リ1の動作内容に応じて決定され、読み出し電圧VRW 1~VRW3、書込み電圧VWW、書込みベリファイ電 圧VWV0~VWV3、魯込みエラティック検出電圧V WE1~VWE2、書込みディスターブ検出電圧VWD S、消去電圧VEW、消去ペリファイ電圧VEVの中か ら選択される。

【0061】図1の構成において、読み出し、書き込み における基本的な回路動作は以下のようにされる。例え ば、図1においてメモリマットMMRに含まれるメモリ セルMCに対して、読み出しを行う場合には、選択メモ リマット (MMR) 側の信号RPCRを1V+Vthに し、非選択メモリマット (MML) 側の信号RPCLを 0.5V+Vthにすることにより、一括して選択メモ リマット側ピット線を1Vにプリチャージし、非選択メ モリマット側ピット線を0.5Vにプリチャージする。 もちろん、選択メモリマットがMMLで、非選択メモリ

マットがMMRであれば、信号RPCRが0.5V+V thにされ、信号RPCLが1V+Vthにされる。V t hはMOSトランジスタM24R、M24Lの閾値電 圧を示す。非選択メモリマット側のピット線のプリチャ 05 ージレベルとされる上記 0.5 Vは、上述のように、セ ンスラッチ回路SLにおいてリファレンスレベルとして 使われる。ワード線選択動作の後、トランスファMOS トランジスタM22L、M22Rがオン動作され、この 時、センスラッチ回路SLは、ビット線G-BLRのレ 10 ベルが 0.5 Vよりも高いか低いかをセンスして、メモ リセルMCからの読み出しデータをラッチする。センス ラッチ回路SLにラッチされたデータが4値の記憶情報 に対してどの値であるは、そのときの読み出しワード線 選択レベルとの関係によって判定される。その判定処理 15 の詳細は後述するが、前記スイッチ回路・演算回路アレ イ30R, 30L, 31R, 31Lが用いられる。判定 結果に応ずる2ビットのデータはセンスラッチ回路SL の左右2個のデータラッチ回路DLL, DLRにラッチ される。

【0062】また、書込みでは、書き込み制御情報がセ ンスラッチ回路SLにラッチされた後、センスラッチ回 路SLの電源SLPが書き込み阻止電圧たとえば6Vと され、センスラッチ回路SLの入出力ノードが"1"に されている場合には、当該入出力ノード側の対応ビット 25 線に書き込み阻止電圧 6 Vが印加され、センスラッチ回 路SLの入出力ノードが"0"にされている場合には当 該入出力ノード側の対応ビット線は0Vを維持する。コ ントロールゲートの高電圧に対して、0Vのドレイン電 圧を有するメモリセルは、書き込みに必要な高電界が形 30 成され、書き込みが行なわれる。このように、センスラ ッチ回路SLにラッチされる魯込み制御情報の論理値 が、実際に書き込み電圧を印加するか否かを決定する。 その論理値は、左右のデータラッチ回路DLL,DLR にラッチされるデータと、現在の鸖込み動作が第1乃至 35 第3の曹込み状態の何れに対する曹込み動作かというこ とによって、決定される。その決定論理については後で 説明する。

【0063】第1乃至第3の書込みのために書き込み電 圧を印加した直後のベリファイ動作は、鸖込み対象セク 40 夕に対するオール判定動作によって行う。例えば、鸖込 み電圧を印加した後、選択メモリマットMMR側の信号 PCRを例えば1V+Vthに制御してピット線G-B LRを1Vにプリチャージすると共に、非選択メモリマ ットMML側では、MOSトランジスタM24Lのゲー 45 ト電圧RPCLを0. 5V+Vthに制御してピット線 G-BLLを0.5Vにプリチャージする。Vthは、 MOSトランジスタM21R、M21Lの閾値電圧を意 味する。この状態で読み出し動作同様にベリファイ電圧 VWV1、VWV2又はVWV3をワード線に与える。

メモリセルがあれば、すなわち、所要の閾値電圧に到達していないメモリセルがあれば、ビット線はディスチャージされる。ベリファイ電圧によるビット線ディスチャージの有無の検出を実行した後、選択メモリマット側の 書き込み非選択ビット線を1Vにプリチャージする。すなわち、選択メモリマット側の書込み非選択のビット線のセンスラッチ回路SLの入出力ノードは論理値"1"にされている。このセンスラッチ回路SLの論理値

"1"のラッチデータでトランジスタM20Rをオン動 作させPCRを例えば1V+Vt hに制御することによ って、上記書き込み非選択ピット線を1Vにプリチャー ジすることができる(非選択プリチャージ処理によるマ スク)。これにより、魯込み選択とされるメモリセルの 全てが所要の閾値電圧状態になっていれば、選択メモリ マットのビット線は全てプリチャージ状態を採り、前記 オール判定用のトランジスタM23L, M23Rがその 状態を判定する。MOSトランジスタM23L, M23 Rは、対応するビット線にゲートが接続され、そのソー スが接地電位に結合される。図1に代表的に示された1 個のセンスラッチ回路SLを中心としたピット線G-B LL, G-BLRに係る構成は実際には多数存在されて いる。センスラッチ回路SLを挟んで図1の左側のトラ ンジスタM23Lのドレインは端子ECLに全て共通接 続され、ヒット線G-BLLに代表される左側のヒット 線の状態(レベル)に応じた電流が当該端子ECLに流 される。同様に、センスラッチ回路SLを挟んで図1の 右側のトランジスタM23Rのドレインも全て端子EC Rに共通接続され、当該端子ECRには、ビット線G-BLRに代表される右側のビット線の状態 (レベル) に 応じた電流が流される。特に図示はしないが、端子EC L(ECR)の変化に基づいてセンスラッチ回路SLの 左(右)側の全てのピット線G-BLL(G-BLR) の状態が同じ状態になったかを検出する電流センス型の アンプが設けられている。このアンプは、消去ベリファ イ又は書込みベリファイの対象とされる全てのメモリセ ルが所定の閾値電圧になったかを検出すること、即ちオ ール判定に用いられる。

【0064】ここで、書き込みと書き込みベリファイ時におけるセンスラッチ回路SLのラッチデータ(選択マット側のデータ入出力ノードの値)とそれによる動作との関係をまとめて説明する。図41に示されるように、選択側メモリマットをMMRとすると、書き込み動作はセンスラッチ回路SLのノードSLR=0によって選択とされ、SLR=1によって非選択とされる。書き込み非選択のピット線G-BLRには沓き込み阻止電圧6Vが供給される。書き込み選択されたメモリセルの閾値電圧がベリファイ電圧よりも低いうちは、書き込みベリファイ動作において当該メモリセルのピット線はディスチャージされる(G-BLR=0)。書き込み完了されれば、当該ピット線はプリチャージレベルを維持する(G

-BLR=1)。 書き込みベリファイにおけるオール判定動作では、書き込み非選択メモリセルのビット線を強制的にプリチャージする。即ち、センスラッチ回路SLの入出力ノードSLR=1に応答して、書き込み非選択の5のビット線G-BLRにはトランジスタM20R, M21Rを介してプリチャージを行う(非選択プリチャージによるマスク)。これにより、全ての書き込み対象メモリセルの閾値電圧がベリファイ電圧以上にされると、書き込み対象セクタの全てのビット線はプリチャージ状態を維持する。オール判定は、書き込み対象セクタの全てのビット線の論理値の論理和によって行なわれる。

【0065】以下、上記構成を有するフラッシュメモリ 1の読み出し動作、書込み動作、追加書込み動作、及び 消去動作について夫々詳述する。

【0066】《読み出し動作》図13には読み出し動作 のフローチャートが示される。不揮発性メモリセルの各 閾値電圧と読み出しワード線電圧VRW1~VRW3と の関係は図14に例示されている。フラッシュメモリ1 は読み出しコマンドを受け付けると、当該コマンドで指 20 定されたセクタアアドレスに対して、読み出しワード線 電圧VRW1を用いた読み出し動作を行う(RS1)。 読み出されたデータはセンスラッチ回路SLにラッチさ れ、ラッチされたデータはデータラッチ回路DLRに与 えられる(RS2)。次に、前記と同じセクタアアドレ 25 スに対して、読み出しワード線電圧VRW2を用いた読 み出し動作が行なわれ、読み出されたデータはセンスラ ッチ回路SLにラッチされる(RS3)。 ラッチされた データは今度はデータラッチ回路DLLに与えられる (RS4)。更に、同じセクタアドレスに対して、読み 30 出しワード線電圧VRW3を用いた読み出し動作が行な われ (RS5)、読み出されたデータとデータラッチ回 路DLRに既にラッチされているデータを用いて、当該 メモリセルの閾値電圧状態が消去状態又は第1乃至第3 の書込み状態の何れの状態であるかを判定する演算が行 35 われ(RS6)、演算結果がデータラッチ回路DLRに 反映される(RS67)。これによって、当該メモリセ ルが記憶している 4 値情報が 2 個のデータラッチ回路D LR, DLLに保持される。

【0067】図26にはセンスラッチ回路、ビット線及びデータラッチ回路の状態に対応させて前記読み出し動作手順の詳細な一例を示してある。同図に示される内容は、動作選択メモリマットを図1の右側のメモリマットMMRとする。また、ステップ(Step)毎に示された信号若しくはノードに対応して表されている数字は、小数点付き数字が電圧を意味し、小数点無し数字が論理値(ハイレベルは"1"、ローレベルは"0")を意味する。また、データラッチ回路DLL,DLRの概には左右ノードの双方の値が示されている場合があり、括弧が付されていない数字が着目論理値とされる。また、図26においてSL(R)はセンスラッチ回路SLの入出

カノードSLRを意味し、SL(L)は入出力ノードS LLを意味する。

【0068】図26のStep1でVRW1読み出しを 行えば、消去状態 ("11") のメモリセルとそれ以外 の状態のメモリセルとを区別でき、 当該1 ビットの読み 出しデータがデータラッチ回路DLRに転送される(S tep2)。Step3でVRW2読み出しを行えば、 消去状態("11")及び第1の書込み状態("1 0 ") のメモリセルとそれ以外の状態のメモリセルとを 区別でき、当該1ビットの読み出しデータがデータラッ チ回路DLLに転送される (Step4)。図14よ り、データラッチ回路DLLにラッチされたデータは、 2 ビットの読み出しデータの上位ビットになることは明 らかである。下位ビットの論理値はVRW3読み出しを 行わなければ確定できない。そこで、Step5でVR W3読み出しを行い、第3の魯込み状態("01")の メモリセルとそれ以外の状態のメモリセルとを区別し、 当該1ビットの読み出しデータをセンスラッチ回路SL にラッチしたまま、トランジスタM25R、M25Lを 用いてピット線を"0 "にクリアする(Step6)。 そして、2 ピットの読み出しデータの下位ピットの論理 値を確定させる演算を行うために、データラッチ回路D LRのデータをピット線に転送し(Step7)、前記 センスラッチ回路SLのラッチデータを用いてトランジ スタM20Rをスイッチ制御することにより、論理値" 1 "をラッチしているセンスラッチ回路SLのビット線 を論理値"0"にディスチャージする(Step8)。 この処理は、上位ビットとVRW3読み出し結果とに対 する排他的論理和とされる。これによって、2 ビットの 読み出しデータの下位ビットがビット線上で確定され、 データラッチ回路DLRの入力ノードをM8R, M8L でクリアしてから、ビット線G-BLRのデータをトラ ンジスタM28Rを介して前記データラッチ回路DLR に転送する(Step10)。データラッチ回路DL R, DLLにラッチされた2ビットの読み出しデータは 外部端子I/O0~I/O7の内の所定の端子を介して 外部に出力される。

【0069】《書き込み動作》図15には書込み動作のフローチャートが示される。書き込み動作はワード線を一単位とする書き込み(セクタ書き込み)とされる。フラッシュメモリは書込みコマンドを受け付けると、次の入力をセクタアドレスとして取り込み、セクタアドレス 取り込みの後の入力を書き込みデータとして取り込む(WS1)。取り込まれるセクタアドレスは、Xアドレスであり、これによって、書き込み高電圧を印加する1本のワード線を選択することになる。書き込みデータの取り込みは、Yアドレスカウンタ12を初期値から漸次インクリメントしながらバイト単位で、データラッチ回路DLL、DLRに対して行われる。例えば、図6に示されるように、一つのセンスラッチ回路アレイSLAに

関する一対のメモリマットMML, MMRに割り当てられたデータラッチ回路アレイDLLA, DLRAに、書き込みデータがラッチされる。例えば1本のワード線に n個のメモリセルのコントロールゲートが結合されているとすると、データラッチ回路アレイDLLA, DLR Aには、夫々nビットの書き込みデータがラッチされる。

【0070】 鸖き込みデータをラッチした後、"01" 書き込み処理TS1、"00" 書き込み処理TS2、 "10" 鸖き込み処理TS3、及びエラティック/ディ 10 スターブ検出処理TS4が行われる。図18の(A)~ (C) には"01" 書き込み処理TS1、"00" 書き 込み処理TS2、"10" 書き込み処理TS3によって 得られる閾値電圧分布とそのためのペリファイ電圧との 15 関係の一例が示される。また、図18の(D)には、エ ラティック/ディスターブ検出処理TS4における閾値 電圧分布とベリファイ電圧との関係の一例が示される。 【0071】前記"01" 書き込み処理は、4値の内の 一つの状態である消去状態 ("11") に対して、メモ 20 リセルMCの閾値電圧を、第3の書き込み状態("0 1")にするための処理であり、書き込みベリファイ電 圧としてVWV3を用いる。

【0072】前記"01" 書き込み処理は、例えば図1 6に詳細が例示されるように、データラッチ処理WS1 S12、及び書き込みベリファイ処理WS13を含む。 前記データラッチ処理WS10は、データラッチ回路D LL, DLRに2ピットの"01"データがラッチされ ているとき、それに応答して魯込み電圧印加をイネーブ 30 ルにする論理値の制御データをセンスラッチ回路SLに ラッチさせる処理である。前記"01" 魯込み処理WS 11は、イネーブルレベルの論理値を有する制御データ がラッチされたセンスラッチ回路SLに対応されるビッ ト線のメモリセルに"01"データに応ずる書き込み電 35 圧を印加する。前述の通り、鸖込み選択メモリマット側 のセンスラッチ回路SLの入出力ノードが論理値"0" にされている場合に、そのノードに接続するビット線の メモリセルに書込み電圧が印加される。前記データラッ チ処理WS12は"01" 書込みに対するベリファイ処 40 理WS13による判定をデータラッチ回路DLL、DL Rの2ピットの書込みデータを基準に毎回行うための処 理である。ペリファイ処理WS13は前述のオール判定 によって行なわれる。

チされた2ビットの"00"データに応答して書き込みイネーブルとする論理値の制御データをセンスラッチ回路SLにラッチさせ、書込みベリファイ電圧としてVWV2を用いる点が相違される。

【0074】前記"10" 書き込み処理TS3は、4値の内の一つの状態である消去状態("11")に対して、メモリセルMCの閾値電圧を、第1の書き込み状態("10")を得るための処理であり、書き込みベリファイ電圧としてVWV1を用いる。この"10" 書き込み処理TS3は、図16とほぼ同様であるが、データラッチ処理では、データラッチ回路DLL、DLRにラッチされた2ピットの"10" データに応答して書き込みイネーブルとする論理値の制御データをセンスラッチ回路SLにラッチさせ、書込みベリファイ電圧としてVWV1を用いる点が相違される。前記書き込みベリファイ電圧は、図18の例からも明らかなように、VWV3>VWV2>VWV1とされる。

【0075】前記エラティック/ディスタープ検出処理 TS4は、図18 (D) にも示される様に、消去状態の メモリセルの閾値電圧がVWDSを超えていないかを検 出する"11"ワードディスターブ検出処理、そして "10" 書き込み処理されたメモリセルトランジスタの 閾値電圧がVWE1を超えていないかを検出する"1 0"エラティック検出処理、"00" 鸖き込み処理され たメモリセルトランジスタの閾値電圧がVWE 2を超え ていないかを検出する"00"エラティック検出VWE 2処理である。ワードディスターブとは、ワード線単位 で書き込み高電圧が印加される性質上、書き込み非選択 のメモリセルでもある程度の高電界にさらされて閾値電 圧が不所望に高くされることであり、"11"ワードデ ィスターブ検出処理はそれを検出する。エラティックと は、電子物性的な確率によって閾値電圧が不所望に高く なる状態であり、前記エラティック検出処理でそれを検 出する。

【0076】前記エラティック/ディスターブ検出処理 TS4までの一連の処理結果が正常であれば、ステータスレジスタ180にパスフラグがセットされ、一連の書き込み処理が終了される。前記エラティック/ディスターブ検出処理TS4による検出結果がフェイルである場合、フェイル回数が規定の回数に達しているかが判定され(WS2)、達していなければ、書き込みセクタを消去して(WS6)、再度"01"書き込みからやり直す。やり直し回数は図示を省略するカウンタ手段に保持されおり、カウンタ手段の計数値によってフェイル回数が規定値に到達したかを判定する。エラー回数が規定値に到達した場合には、ステータスレジスタ180にフェイルフラグがセットされ、一連の哲き込み処理が異常終了される。

【0077】図15から明らかなように、再消去を行って再びむき込みを繰り返すとき、むき込みセクタのむき

込みデータを再度外部から取り込むことを要しない。前 記ステップWS1でデータラッチ回路DLL, DLRに 一旦ラッチされた1セクタ分の鸖き込みデータは、前記 処理TS1~TS4を行っても破壊されず、そのままデ 05 ータラッチ回路DLL, DLRに残っているからであ る。

【0078】これは、センスラッチ回路SLに対する前 述の曹込み制御情報のラッチ動作制御形態に依るもので ある。即ち、前記センスラッチ回路SLがラッチすべき 10 魯込み制御情報は、データラッチ回路DLL, DLRが 保持している曹込みデータビットを用いた演算を書込み 動作毎に行なって生成し、それをセンスラッチ回路SL がラッチする。例えば、図7に例示されるように、デー タラッチ回路DLL,DLRにラッチされた書込みデー 15 夕が"01"であったとすると、図8に例示されるよう に"01"状態は第3の曹込み状態である。消去状態の 後の3回に分けた鸖込み動作が、図10の第2の態様 (Case2) で行われる場合、第1回目に第1の書込み状態 を得るための書込み動作時にデータラッチ回路DLL、 20 DLRの書込みデータ ("01") を用いて演算された 結果は論理値"1"、第2回目に第2の書込み状態を得 るための書込み動作時にデータラッチ回路DLL,DL Rの書込みデータ ("01")を用いて演算された結果 は論理値"1"、第3回目に第3の鸖込み状態を得るた 25 めの鸖込み動作時にデータラッチ回路DLL、DLRの 魯込みデータ ("01")を用いて演算された結果は論 理値"0"とされる。そのような演算は、前記スイッチ 回路・演算回路アレイ3L, 30R, 31L, 31Rを 動作させて行なう。よって、その場合には、メモリセル 30 トランジスタは、第3回目の鸖込み時だけ、鸖込み用の 高電界がドレインとコントロールゲートの間に印加さ れ、当該メモリセルには4値の内の第3の書込み状態 ("01")が実現される。

【0079】このようにして、3回に分けて書込み動作 が行なわれたとき、最初にデータラッチ回路DLL, DLRにラッチされた書込みデータは破壊されず、そのまま維持されている。データラッチ回路DLL, DLRにラッチされた2ピットの書込みデータを、書き込み動作毎に演算に用いて毎回センスラッチ回路SLにセットするという、制御シーケンスを採用するからである。エラティック・ディスターブ検出処理においても同様に、データラッチ回路DLL, DLRにラッチされた2ピットの書込みデータを用いて演算した結果を毎回センスラッチ回路SLにセットするという、制御シーケンスを採用するから、このときも、最初にデータラッチ回路DLL, DLRにラッチされた書込みデータは破壊されず、そのまま維持されている。

【0080】データラッチ回路DLL, DLRにラッチ された2ビットのむ込みデータを用いた演算結果をセン 50 スラッチ回路SLにラッチさせる処理(データラッチ処 理)は、TS1~TS4における現在の処理との関係で その演算手法が相違される。

【0081】図21は上記データラッチ処理の演算内容の一例を論理的に示したものである。図21における演算内容は、動作選択メモリマット側のセンスラッチデータ(動作選択メモリマット側のセンスラッチ回路SLの入出力ノードデータ)に関するものである。この演算手法は、ビット線プリチャージ電圧を0V、0.5V、1.0Vの3レベルとし、センスラッチ回路SLによる複数回のセンス動作で、目的のデータをセンスラッチ回路SLにラッチさせる動作である。

【0082】図21においてA、Bは1個のセンスラッチ回路SLに対応される2ピットの書込みデータであり、Aはデータラッチ回路DLLにラッチされる上位データピット、Bはデータラッチ回路DLRにラッチされる下位データピットである。図21によれば、"0.1" 書き込みデータラッチ処理の場合はデータピットAとBの反転データとの論理和、"00"書き込みデータラッチ処理の場合はデータピットAとBとの論理和であり、"00"エラティック検出データラッチ処理の場合はデータピットAとBの負論理和、"10"エラティック検出データラッチ処理の場合はデータピットAとBの負論理和、"10"エラティック検出データラッチ処理の場合はデータピットAとBの反転データとの論理積、"11"エラティック検出データラッチ処理の場合はデータピットAとBの論理積とされる。

【0083】図21の演算論理を採用した場合、データ ピットA, Bの論理値に対する演算結果の論理値は図2 2に示される通りである。前述のように、センスラッチ データの論理値"0"(ローレベル)が售込み電界印加 (魯込み選択)を意味する。

【0084】図27には前記"01" 書き込み処理の更 に詳細な動作フローチャートが示される。同図の表現形 式は図26と同じである。先ず、データラッチ回路DL L, DLRに2ビットの魯込みデータがラッチされる (Step1)。ラッチされているデータが"01"、 "00"、"10"、"11"の4通りの場合について 図示されている。次に、鸖き込み選択メモリマット側の ビット線G-BLRにはデータラッチ回路DLRのデー 夕を転送する。魯き込み非選択メモリマット側のビット 線を全て0.5Vにプリチャージする(Step2)。 前記データ転送は、M25Rによるピット線ディスチャ ージの後、M26R,M27Rによる選択的なプリチャ ージによって行なわれる。更に詳しく説明すれば、非選 択メモリマット側のピット線G-BLLがトランジスタ M24Lを介して0.5Vにプリチャージされ(a)、 また、データラッチ回路DLRのラッチデータに従って M26R, M27Rを用いピット線G-BLRが0.0 **V又は1.0Vにプリチャージされる(b)。**

【0085】Step3では、前記(a), (b)の結

果に従って、センスラッチ回路SLを活性化してセンス ラッチ動作させる。これによってセンスラッチ回路SL の左右の入出力ノードSL(L), SL(R)は図の (c), (d)の状態にされる。

05 【0086】Step4では、ピット線G-BLLの電 圧は(c)の結果に従って(e)の電圧を採り、また、 他方のピット線G-BLRは論理値"0"にクリアされる。

【0087】Step5では、データラッチ回路DLL
10 の論理値"1"のラッチデータによってトランジスタM
26Lをオン動作させ、トランジスタM27L, M26
Lを介して、論理値"1"をラッチするデータラッチ回路DLLに対応されるピット線G-BLLを0Vにディスチャージする(g)。この時の電圧FPCは接地電圧
15 にされている。また、センスラッチ回路SLの双方の入出力ノードSL(L), SL(R)を、トランジスタM5L, M5Rを介して論理値"0"にクリアする
(h)。

【0088】Step6では選択メモリマット側のビッ20 ト線G-BLRを0.5Vにプリチャージする(i)。そしてStep7で、トランジスタM22R,M22Lをオン動作させて、センスラッチ回路SLをセンス動作させると、センスラッチ回路SLの選択メモリマット側の入出力ノードSL(R)は、データラッチ回路DL25 L,DLRに"01"がラッチされている場合にだけ、論理値"0"をラッチする(j)。

【0089】Step8では電源SLPは書き込み阻止電圧として利用される6.0Vにされる。センスラッチ回路SLにおいて動作選択メモリマット側の入出力ノー30ドSLRのラッチデータが論理値"1"である場合には6Vの電源SLPがトランジスタM22Rを介してピット線G-BLRに供給され、入出力ノードSLRのラッチデータが論理値"0"である場合には、当該入出力ノードSLRに接続されるピット線G-BLRのレベルは350Vを維持する。この0Vのピット線にドレインが接続されたメモリセルトランジスタにはドレインとコントロールゲートとの間に書き込み電圧が印加される。この時、書き込み阻止電圧6.0Vが印加されているピット線には書き込みに必要な高電界が発生しない。

40 【0090】書き込み電圧の印加後は、Step9に示されるように、動作選択メモリマット側の全てのビット線G-BLRが1.0Vにプリチャージされ、動作非選択メモリマット側の全てのビット線G-BLLが0.5 Vにディスチャージされる。この時、センスラッチ回路 SLには、書き込み時のデータラッチ処理でラッチされた論理値のデータが保持されている。図16に説明ではベリファイ処理WS13の前にもデータラッチ処理WS12が介在されているが、これは、む込み電圧印加前のデータラッチ処理WS10とは別個に改めてデータラッチ処理WS10とは別個に改めてデータラッチ処理WS10とは別個に改めてデータラッチ処理WS10とは別個に改めてデータラッチ処理WS10とは別個に改めてデータラッチ処理WS10とは別個に改めてデータラッチ処理WS10とは別個に改めてデータラッチ処理WS10とは別個に改めてデータラッチの理を行うことを必ずしも意味するものではない。デ

ータラッチ処理WS12は哲き込み選圧印加毎のデータ ラッチ処理WS10で置き換えることができる。図27 の処理はそうなっている。

【0091】Step10では、ベリファイ電圧VWV 3によってメモリセルの選択動作が行われ、メモリセル の閾値電圧がベリファイ電圧VWV3以上に違していな い場合にはそのメモリセルのピット線G-BLRが〇. OVにディスチャージされる。その後、Step11で は、動作選択メモリマット側において、曹込み非選択メ モリセルのピット線G-BLRが1.0Vにプリチャー ジされる。即ち、魯込み非選択メモリセルに対応される センスラッチ回路SLの入出力ノードは論理値"1"に されており、この論理値"1"をゲートに受けるトラン ジスタM20Rがオン動作され、動作電源FPCからビ ット線G-BLRに1. 0Vが供給される。従って、書 き込み対象メモリセルの閾値電圧が目標電圧に到達して いれば、動作選択メモリマットの全てのピット線G-B LRは論理値"1"にされる。Step12では、セン スラッチ回路SLの入出力ノードがクリアされた後、セ ンスラッチ回路SLにピット線の状態をラッチさせ、前 記オール判定が行われる。オール判定の後、ビット線G -BLR, G-BLL及びセンスラッチ回路SLの双方 の入出力ノードが接地電位にクリアされる(Step1 3)。

【0092】前記"00" 書込み処理の詳細な一例は図 28に示され、前記"10" 書込み処理の詳細な一例は 図29に示されている。それら処理内容はデータラッチ 処理の点で"01" 書き込み処理と相違するだけであ り、その相違点は図21の演算論理から容易に理解可能 であるから、それらに対する詳細な説明は省略する。

【0093】前記"11"ワードディスターブ検出処理の一例は図30に示される。この処理はStep38~Step43の"11"ワードディスターブデータラッチ処理と、Step44~Step48の"11"ワードディスターブデータラッチ処理は前述のデータラッチ処理と類似であり、図21で説明した演算論理を実現する具体的な処理である。また、"11"ワードディスターブ検出処理は図27で説明した"01" 書き込みベリファイ処理と類似であり、ベリファイ電圧VWV3に代えてワードディスターブ検出電圧VWDSを用いる点などで相違されるだけであるから、その詳細な説明は省略する。

【0094】前記"10"エラティック検出処理の詳細は図31に例示され、"00"エラティック検出処理の詳細は図32に例示されている。それら夫々の処理は、エラティックデータラッチ処理と、エラティック検出処理に大別され、エラティックデータラッチ処理は前述のデータラッチ処理と類似であり、図21で説明した演算論理を実現する具体的な処理である。エラティック検出

処理は図27で説明した"01" 書き込みベリファイ処理と類似であり、ベリファイ電圧VWV3に代えてエラティック検出電圧VWE1, VWE2を用いる点などで相違されるだけであるから、その詳細な説明は省略す 05 る。

【0095】《追加書き込み動作》図15には追加書込 み動作のフローチャートも併せて示されている。追加書 込み動作は前記"01"書き込み処理TS1に至るまで の処理が書き込み動作とは相違される。追加書き込み動 10 作もワード線を一単位とするセクタ鸖き込みとされる。 フラッシュメモリは追加書込みコマンドを受け付ける と、次の入力をセクタアドレスとして取り込み、セクタ アドレス取り込みの後の入力を書き込みデータとしてデ ータラッチ回路DLL,DLRに取り込む (WS3) 。 15 取り込まれるセクタアドレスは、Xアドレスであり、こ れによって、 書き込み高電圧を印加する1本のワード線 を選択することになる。

魯き込みデータの取り込みは、 Yアドレスカウンタ12を初期値から漸次インクリメン トしながらバイト単位で、データラッチ回路DLL, D 20 LRに対して行われる。例えば、図6に示されるよう に、一つのセンスラッチ回路アレイSLAに関する一対 のメモリマットMML、MMRに割り当てられたデータ **ラッチ回路アレイDLLA, DLRAに、書き込みデー 夕がラッチされる。**

25 【0096】 書き込みデータをラッチした後、論理合成 処理WS4及び消し戻し処理WS5が行なわれ、その後 で前記"01" 書き込み処理TS1乃至エラティック/ ディスターブ検出処理TS4が行なわれる。

【0097】図23には追加書き込みの概念が示される。 追加書き込みにおいて書込み電圧を印加可能なメモリセルは消去状態のメモリセルとされる。図23にはメモリセルの記憶情報とデータラッチ回路DLL, DLRのラッチデータ(ビット線接続側入出力ノードの論理値)との様子が示されている。

35 【0098】図23の(A)に示されるように、書き込み状態のメモリセルに対しては書き込みを禁止とし、入力データを"11"に制限している。消去状態のメモリセル(データ"11"を格納している)に対してだけ書き込みを許容している。したがって、書き込み状態のメモリセルに対応するデータラッチ回路DLR,DLLにはデータ"11"が入力され、消去状態のメモリセルに対応するデータラッチ回路DLR,DLLには所望の書き込みデータ"01"、"00"、"10"、"11"が入力される。

45 【0099】前記論理合成処理では、図23の(B)に示されるように、データラッチ回路DLL, DLRに入力した追加費き込みデータとメモリセルから読み出したデータとに基づいて、費き込み状態の不揮発性メモリセルには同じ費き込み状態を、また、消去状態の不揮発性メモリセメモリセルには追加費込みデータで指示される費き込み

状態を、プログラムするためのデータを論理合成処理 し、論理合成処理によって得られたデータが前記データ ラッチ回路DLR, DLLにラッチされる。そして、図 23の(C)に例示されるように、データタッチ回路D LR, DLLにラッチされたデータに基づい魯き込み処 理が行われる。

【0100】図17には前記論理合成処理の詳細なフロ ーチャートが例示される。論理合成処理の最初は下位ビ ットの合成である。即ち、ワード線電圧VRW3による 読み出し(WS20)を行ってセンスラッチ回路にラッ チさせ、更にワード線電圧VRW1による読み出し(W S21)を行い、WS20による読み出し結果とWS2 1による読み出し結果とに対する演算1 (排他的論理和 若しくは排他的負論理和演算)を行って、書き込み状態 のメモリセルから読み出した情報の下位ビットを判定す る (WS22)。そして、データラッチ回路に入力され た書き込みデータと前記演算1で演算された結果とに対 して演算2 (論理和演算)を行い、論理合成された追加 **書き込みデータの下位ピットを決定する。その結果を、** データラッチ回路DLRに転送してラッチさせる (WS 24)。上位ピットの合成では、ワード線電圧VRW2 による読み出し(WS25)を行ってセンスラッチ回路 にラッチさせる。そして、データラッチ回路に入力され ている書き込みデータと前記WS25の読み出し結果と に対して演算3 (排他的論理和若しくは排他的負論理和 演算)を行い(WS26)、論理合成された追加書込み データの上位ピットを決定する。その結果を、データラ ッチ回路DLLに転送してラッチさせる(WS27)。 【0101】図24には前記論理合成処理WS4によっ て得られる下位ヒット及び上位ヒットの内容を論理式に よって示してある。同図において、/は論理反転符号 (それが付されたデータが論理反転されることを意味す る符号)として用いている。図面上では○の中に+を付 した記号を排他的論理和記号として用いており、明細書 中では'EXOR'を排他的論理和記号として用いる。記号 ・は論理積記号として用いている。下位ビットはa0・ / (b 1 'EXOR' b 3) 、上位ビットは/a 1 'EXOR' /b2によって得られる。a0はデータラッチ回路DL Rにラッチされた追加書き込みデータの下位ピット、a 1はデータラッチ回路DLLにラッチされた迫加書き込 みデータの上位ピット、b1はVRW1によってメモリ セルから読み出したデータ、b2はVRW2によってメ モリセルから読み出したデータ、b3はVRW3によっ てメモリセルから読み出したデータである。

【0102】図25には追加費込み処理によって図24の結果を得るための動作を論理的に示してある。同図においてセンスラッチ回路SL、データラッチ回路DLL,DLRの左右には夫々の入出力ノードの値が示されている。同図においてVRW3読み出しによる読み出し結果はセンスラッチ回路SLに保持され、VRW1読み

出し結果はビット線G-BLRに保持される。演算1ではセンスラッチ回路SLのラッチデータb3とビット線G-BLRのデータに対して排他的論理和b1 'EXOR' b3が採られる。演算2では、追加費き込みデータの下05 位ビットa0と前記演算1の結果との論理和が取られ、これが、論理合成された追加費き込みデータの下位ビットとしてデータラッチ回路DLRにラッチされる。論理和/(/a0+(b1 'EXOR' b3))は、式の変形を介することによって、a0・/(b1 'EXOR' b3)と 等価である。次に、VRW2読み出しによる読み出しデータ/b2,b2はセンスラッチ回路SLに保持され、データ/b2はビット線G-BLLに転送され、演算3にて追加費込みデータ/a1と排他的論理和が採られ、これが、論理合成された追加費き込みデータの上位ビットとしてデータラッチ回路DLLにラッチされる。

【0103】図33及び図34には追加書き込み処理の 更に詳細な動作フローチャートが示される。同図の表現 形式は図26と同じである。尚、図25に記載のSte pの番号は図33及び図34に記載のStep番号の処 20 理対応される。

【0104】先ず、データラッチ回路DLL, DLRに 2 ビットの書込みデータがラッチされる (Step 1)。図にはメモリセルの記憶情報と追加書き込みデー タとの7通り全ての組合わせ(図23で説明した組合わ 25 せ) について記載されている。この時の非選択メモリマ ット側データラッチ回路DLLの入力データは通常書き 込みの場合とは論理値反転されている。これは、後の処 理ステップ数を削減するためである。 Step 2 ではデ ータを読み出すために、動作選択メモリマット側のビッ ト線G-BLRに1V、動作非選択メモリマット側のビ ット線G-BLLにリファレンス用の0.5Vをプリチ ャージする。Step3では"01"データの閾値電圧 と"00"データの閾値電圧との間の電圧VRW3をワ ード線選択レベルとしてメモリセルのデータ読み出しを 35 行う。 "01" データ以外のデータの閾値電圧分布を有 するメモリセルのピット線がディスチャージされる。そ の結果は、センスラッチ回路SLでセンスされてラッチ される(Step4)。

【0105】次に、Step5でピット線G-BLR, 40 G-BLLをディスチャージした後、動作選択メモリマット側のピット線G-BLRに1V、動作非選択メモリマット側のピット線G-BLLにリファレンス用の0. 5Vをプリチャージする。そして、Step6では"10"データの閾値電圧と"11"データの閾値電圧との45 間の電圧VRW1をワード線選択レベルとしてメモリセルのデータ読み出しを行う。"11"データの閾値電圧 分布を有するメモリセルのピット線がディスチャージされる。その結果は、センスラッチ回路SLでセンスされてラッチされる(Step4)。そして、Step7で50 は、センスラッチ回路SLの入出力ノードSLRの値と

ビット線G-BLRの値との排他的論理が採られる。排他的論理は、センスラッチ回路SLの入出力ノードSLRの値が"1"のときにトランジスタM20Rがオン動作して、"1"のビット線G-BLRがFPCに向けて"0"にディスチャージされるか否かによって行なわれる。そのようなディスチャージは図33の(a)で生ずる。これにより、メモリセルから読み出したデータの下位ビットが決定され、これはStep8でセンスラッチ回路SLにラッチされる。

【0106】次に、Step9でピット線G-BLR、 G-BLLがディスチャージされた後、Step10に て、論理合成された追加書き込みデータの下位ピットを 生成する。即ち、センスラッチ回路SLにラッチされて いるデータと、動作選択側メモリマットのデータラッチ 回路DLRのラッチデータとをピット線G-BLRに転 送することで、前記メモリセルから読み出したデータの 下位ピットと、データラッチ回路DLRに初期ロードさ れた追加書き込みデータの下位ピットとの論理和が得ら れる。この論理和結果は、論理合成処理された追加書き 込みデータの下位ビットとされる。Step11でセン スラッチ回路SL及びデータラッチ回路DLRがクリア された後、Step12で前記ピット線G-BLR上の 論理合成処理された追加書き込みデータの下位ビットが データラッチ回路DLRにラッチされ、次の動作のため にStep13でビット線G-BLRがクリアされる。 クリアとは接地電圧若しくは"0"へのディスチャージ である。

【0107】次の動作は上位ピットの合成処理である。 先ず、Step14ではデータを読み出すために、動作 選択メモリマット側のピット線G-BLRに1V、動作 非選択メモリマット側のピット線G-BLLにリファレンス用の0.5 Vをプリチャージする。Step15では"10"データの閾値電圧と"00"データの閾値電 圧との間の電圧 VRW2をワード線選択レベルとしてメモリセルのデータ読み出しを行う。"11"データと"10"データの閾値電圧分布を有するメモリセルのピット線がディスチャージされる。その結果は、Step16において、センスラッチ回路SLでセンスされラッチされる。

【0108】次に、Step17でピット線G-BLR,G-BLLをディスチャージした後、Step18で、センスラッチ回路SLの非選択メモリマット側入出力ノードSLLの値をピット線G-BLLに転送する。そして、Step19で、データラッチ回路DLLの値とピット線G-BLLの値との排他的論理が採られる。排他的論理は、データラッチ回路DLLの入出力ノードDLLRの値が"1"のときにトランジスタM26Lがオン助作して、"1"のピット線G-BLLがFPCに向けて"0"にディスチャージされるか否かによって行なわれる。そのようなディスチャージは図34の(b)

で生ずる。これにより、ビット線G-BLLには、前記メモリセルから読み出したデータの上位ビットと、データラッチ回路DLLに初期ロードされた追加書き込みデータの上位ビットとの排他的論理和が得られる。この排の5 他的論理和結果は、論理合成処理された追加書き込みデータの上位ビットとされる。Step20でセンスラッチ回路SL及びデータラッチ回路DLLがクリアされた後、Step21で前記ピット線G-BLL上の論理合成処理された追加書き込みデータの上位ビットがデータラッチ回路DLLにラッチされ、次の動作のためにStep22でビット線G-BLLがクリアされる。

【0109】論理合成処理された追加書き込みデータの 上位及び下位ピットがデータラッチ回路DLL、DLR にラッチされた後、鸖き込み対象セクタに対する消し戻 15 しが行なわれ (Step 23)、その後で、当該データ ラッチ回路DLL、DLRにラッチされたデータを用い た書き込み処理が行われる。書き込み処理は図27のS tep2に繋がる。前記消し戻しは、ワードディスター ブによる影響 (この例では閾値電圧の不所望上昇) を回 20 避するために、書き込み対象セクタ内の全てのメモリセ ルの閾値電圧を下げるための消去動作の一種である。通 常の消去動作は消去対象とされるメモリセルの全てが一 定に閾値電圧以下になるまで、消去電圧の印加と消去べ リファイとを繰り返す処理であるが、消し戻し処理の場 25 合には、消去電圧の印加処理を1回だけ行えば所期の目 的を達することができる。消去電圧は通常の消去動作と 同じでよい。図18の(E)には追加書き込み前の閾値 電圧分布が示されれ、それに対して消し戻し処理を行っ た後の閾値電圧分布が図18の(F)に例示されてい 30 る。

【0110】図36乃至図39には追加書き込みにおける論理合成処理の動作波形図の一例が示される。

【0111】《消去動作》図19には消去動作の一例が 示される。特に制限されないが、消去動作もセクタを最 35 小単位として行うことができる。フラッシュメモリは消 去コマンドを受け付けると、次の入力をセクタアドレス として取り込む。取り込まれるセクタアドレスは、Xア ドレスであり、これによって、消去電圧を印加する1本 のワード線を選択することになる。消去動作が指定され 40 ると、最初に消去ベリファイ動作(消去ベリファイ1) が行われる(ES1)。消去状態のセクタに対して消去 が指定されたとき、無駄な動作を省いて消去時間を短縮 できる。消去されていない場合には、消去対象セクタに 消去電圧が印加され(ES2)、それに対して消去ベリ 45 ファイ動作(消去ペリファイ2)が行われる(ES 3)。消去電圧の印加処理は消去ペリファイがパスする まで(閾値電圧がVEV以下になるまで)繰り返され る。消去ベリファイがパスしたときは、"11"エラテ ィック検出が行なわれる(ES4)。エラティック検出

50 がフェイルした場合、書き込みピットをセットし(ES

【0112】図20の(A)には書き込み状態に対する 消去ペリファイ処理のペリファイ電圧VEVと消去動作 による閾値電圧分布が示されている。

【0113】前記エラティック検出(ES4)によって過消去が検出されたとき、ES5~ES7の処理はその過消去状態を修正するデブリート防止処理とされる。デブリート防止処理による閾値電圧分布の変化の一例が図20の(B)に示されている。ES8で示されるエラティック検出はES6の書き込みによるワード線ディスターブによる閾値電圧の不所望な上昇を検出するものであり、ディスターブによる閾値電圧異常を検出したときは、消去電圧の印加からやり直す。

【0114】図35には消去処理の更に詳細な動作フローチャートが示される。同図の表現形式は図26と同じである。同図において「11」は消去電圧印加によって閾値電圧がVEV以下にされるメモリセルを想定しており、また、「11下」は閾値電圧がVWV0以下にされるメモリセル、即ち、デブリート防止のための書き戻し処理の対象とされるメモリセルを想定している。

【0115】前記消去ペリファイ1においては、先ず、動作選択メモリマット側のピット線G-BLRに1V、動作非選択メモリマット側のピット線G-BLLにリファレンス用の0.5Vをプリチャージする(Step1)。そしてペリファイ電圧VEVを例えば2.0Vとして動作選択メモリマット側のメモリセルを選択する。選択されたメモリセルが消去状態でなければ、動作選択メモリマット側のピット線はディスチャージされない(Step2)。この状態をセンスラッチ回路SLでレスし、オール判定を行う(Step3)。図の例後、ピット線G-BLR、G-BLL及びセンスラッチの当に当まされていない場合を示してある。オール判定の例後、ピット線G-BLR、G-BLL及びセンスラッチの名によってある。オール判定の例後、ピット線G-BLR、G-BLL及びセンスラッチの名に対してある。オール判定の例後、ピット線G-BLR、G-BLL及びセンスラッチの名に対してある。オール判定の例後、ピット線G-BLR、G-BLL及びセンスラッチの名に対してある。オール判定の例後、ピット線G-BLR、G-BLL及びセンスラッチの名に対してある。オール判定の例後、ピット線G-BLR、G-BLL及びセンスラッチを記述を対象をクタのメモリセルに消去電圧を印加する(Step5)。

【0116】消去ペリファイ2では、先ず、動作選択メモリマット側のビット線G-BLRに1V、動作非選択メモリマット側のビット線G-BLLにリファレンス用の0.5Vをプリチャージする(Step6)。そしてペリファイ電圧VEVを例えば2.0Vとして動作選択メモリマット側のメモリセルを選択する。選択されたメモリセルが消去状態であば、動作選択メモリマット側のビット線はディスチャージされる(Step7)。この状態をセンスラッチ回路SLでセンスし、オール判定を

行う(Step8)。図の例は、消去状態にされた場合を示してある。オール判定の後、ビット線G-BLR,G-BLL及びセンスラッチ回路SLをクリアする(Step9)。

05 【0117】次に、"11"エラティック検出が行なわれる。先ず、動作選択メモリマット側のピット線G-BLRに1V、動作非選択メモリマット側のピット線G-BLLにリファレンス用の0.5Vをプリチャージする(Step10)。そしてエラティック検出電圧VWV 0を例えば1.2Vとして動作選択メモリマット側のメモリセルを選択する。選択されたメモリセルが過消去状態であば、そのピット線はディスチャージされる(Step11)。この状態をセンスラッチ回路SLでセンスし、オール判定を行う(Step12)。

15 【0118】図の例は、(a)の部分でディスチャージが行なわれているから、Step12のオール判定結果はフェイルである。その場合にはデプリート防止のための書き込み処理が行われる。この書き込み処理における書き込み電圧印加の可否は、Step12でセンスラッチ回路SLにラッチされた値によって決定される。即

ち、Step12のセンスラッチ動作は図19の前記書 き込みピットセット処理(ES5)の一例として位置付けられる。Step13では、センスラッチ回路SLの動作選択メモリマット側の入出力ノードSLRが論理値 "1"のピット線に書き込み阻止電圧(6.0V)が与えられて、選択書き込みが行なわれる(Step1

3)。次いで、ベリファイのために、動作選択メモリマット側のピット線G-BLRに1V、動作非選択メモリマット側のピット線G-BLLにリファレンス用の0.

30 5 Vをプリチャージする (Step14)。そして書き 込みベリファイ電圧 VWV 0 を例えば1.2 Vとして動 作選択メモリマット側のメモリセルを選択する。選択されたメモリセルが過書き込み状態であば、そのビット線 はディスチャージされる (Step15)。この状態を センスラッチ回路 SLでセンスし、オール判定を行う

(Step16)。
【0119】最後に、"11"ワードディスターブによる"11"エラティック検出を行うために、動作選択メモリマット側のピット線G-BLRに1V、動作非選択40メモリマット側のピット線G-BLLにリファレンス用の0.5Vをプリチャージする(Step17)。そしてディスターブ検出電圧VWDSを例えば2.3Vとして動作選択メモリマット側のメモリセルを選択する。選択されたメモリセルの閾値電圧がディスターブ検出電圧VWDS以下であれば、そのピット線はディスチャージされる(Step18)。この状態をセンスラッチ回路SLでセンスし、オール判定を行う(Step19)。Step19の例は、ディスターブの影響を受けていない場合であり、図19の前記"11"エラティック検出50 ES8がバスした状態に相当する。最後にStep20

でセンスラッチ回路SL及びビット線G-BLL,G-BLRがクリアされる。

【0120】図12には以上説明したフラッシュメモリ の動作態様毎の各種電圧条件がまとめて図示されてい る。図12において、"11"データの読み出しワード 線電圧は2.4V、"10"データの読み出しワード線 電圧は3.2V、"00"データの読み出しワード線電 圧は4.0 Vである。"10"データ書込みワード線電 圧は15.1V、"00"データ書込みワード線電圧は 15.8 V、"01"データ 書込みワード線電圧は1 7.0 Vである。"10"データベリファイワード線電 圧は2.8 V、"00"データベリファイワード線電圧 は3.6 V、"01"データベリファイワード線電圧は 4.5 Vである。"11"ワードディスターブ検出電圧 は2.3 V、"10"エラティック検出電圧は3.1 V、"00"エラティック検出電圧は3.9Vである。 【0121】《フラッシュメモリーカード》図40には 前記フラッシュメモリ1を用いたファイルメモリシステ ムの一例ブロック図が示されている。190で示される ものは、特に制限されないが、PCカード化されたフラ ッシュメモリカードであり、ATA (AT Attachment) カードの一種とされる。このフラッシュメモリカード1 90は特に制限されないがIDE (Integrated Device Electronics) に準拠した標準バス191を介してパー ソナルコンピュータ等のコンピュータ199にコネクタ 190Aを介して着脱自在に装着可能にされる。

【0122】フラッシュメモリカード190は、バスインタフェース部192、ライトバッファ193、ECC回路194、マイクロコンピュータ195、フラッシュメモリ1及び管理テーブルメモリ197を有し、それらは内部バス198に共通接続されている。

【0123】前記パスインタフェース部192はATA カード等の仕様に準拠するように標準バス191との間 でのインタフェース制御を行う。ライトバッファ193 は標準バス191から供給される曹込みデータを一時的 に蓄えるデータバッファであ、フラッシュメモリ1には ライトバッファ193に蓄えられたデータが書き込まれ る。前記ECC回路194はフラッシュメモリ1に格納 されたデータの精度を向上させるためのエラー検出及び えら訂正機能を有する回路である。前記管理テーブルメ モリ197は例えばフラッシュメモリやEEPROMの ような電気的に書き換え可能な半導体メモリによって構 成され、セクタ管理テーブルなどが形成されている。前 記マイクロコンピュータ195はフラッシュメモリカー ド190に対するアクセス要求に従ってカード内部を全 体的に制御し、例えばフラッシュメモリ1に対する動作 の指示や前記コマンドを発行してフラッシュメモリ1を アクセス制御したり管理テーブルメモリ197を制御す

【0124】以上説明したフラッシュメモリ、メモリカ

ード、データ処理システムによれば、以下の作用効果を 得ることができる。

【0125】〔1〕外部から与えられる曹込みデータをデータラッチ回路DLL, DLRにラッチし、ラッチした曹込みデータが多値のどの閾値に対応するかは複数段階の曹込み動作毎に判定してその判定結果である曹込み情報をセンスラッチ回路SLにラッチさせ、センスラッチSLにラッチされた曹込み情報に従って、多値の閾値電圧をメモリセルに設定するための曹込み動作を段階的に行なう。よって、曹き込み動作が終了しても、データラッチ回路DLL, DLRには、当初外部から供給された曹込みデータが残っている。したがって、前記ワードディスターブ検出若しくはエラティック検出の結果により、メモリセルMCに対する多値情報の曹込み動作を再度行なう場合にも曹込みデータを再度外部から受け取ることを要しない。

【0126】〔2〕フラッシュメモリ1は、追加書き込 みデータの入力WS3、メモリセルから読み出したデー タと追加書き込みデータとの論理合成処理WS4、消し 20 **戻しWS5、及び書き込みTS1~TS4、を経て追加 書き込みを行なう。論理合成処理WS4は、データラッ** チ回路DLR,DLLに入力した追加書き込みデータと メモリセルMCから読み出したデータとに基づいて、書 き込み状態の不揮発性メモリセルには同じ書き込み状態 25 を、また、消去状態の不揮発性メモリセルには追加書込 みデータで指示される書き込み状態を、プログラムする ためのデータを生成し、生成されたデータを前記データ ラッチ回路DLR, DLLにラッチさせる。したがっ て、追加書き込み動作が終了しても、データラッチ回路 30 DLR, DLLには、論理合成処理されたデータが残 る。書込み動作の完了まで論理合成処理の結果データを データラッチ回路DLR、DLLに保持すれば、そのラ ッチデータを、書き込み異常に対して再利用可能にで き、追加書込み動作を再度行なう場合に書込みデータを 35 再び外部から受け取ることを要しない。したがって、フ ラッシュメモリ1をアクセス制御するプロセッサ等は、 フラッシュメモリに対する書き込み動作の後、しばらく の間、書き込みデータをワークメモリなどに保持してお かなくてもよく、フラッシュメモリ1のメモリアクセス 40 若しくはメモリアクセスを伴うデータ処理効率を向上さ せることができる。

回数制限を撤廃でき、追加書込みされたデータの信頼性 を向上させることができる。

【0128】〔4〕 書き込み電圧印加による閾値電圧状態が目的閾値電圧状態に到達したか否かの判定を書込み電圧の印加処理毎に毎回前記データラッチ回路DLL,DLRにラッチされているデータを用いて判定するから(WS12, WS13)、 書込みの初期の段階などで書き込みペリファイ動作によって所期の閾値電圧に達したことが誤って判定されても、その不良を確認して再書込み可能になる。

【0129】〔5〕 魯き込み後にエラティック・ディスターブ検出を実行することにより、書き込みによる閾値 電圧分布の異常を検出することができる。

【0130】(6) 不揮発性メモリセルに多値で情報記憶を行なう場合、前記エラティック・ディスターブ検出において、過售込み状態としてフェイルする確率の高いワードディスターブ検出を先に行なうことにより、フェイルする場合にフェールの状態を検出するまでの処理時間を短縮できる。

【0131】〔7〕消去後、デブリート防止のために過消去状態のメモリセルに対して書き戻しを行うことにより、消去状態のメモリセルの閾値電圧を一定電圧以上に揃えることができる。さらに、前記デブリート防止のための書き戻しを行なった後、ディスターブ検出を行うことにより、閾値電圧の異常を検出することができる。これらにより、消去状態のメモリセルの閾値電圧分布を均一化できる。

【0132】 (8) 消去前に消去ベリファイを行ない、フェイルしたセクタに対してたけ消去を行なうことにより、消去動作の無駄な時間を省くことができる。

【0133】以上本発明者によってなされた発明を実施 形態に基づいて具体的に説明したが、本発明はそれに限 定されるものではなく、その要旨を逸脱しない範囲にお いて種々変更可能であることは言うまでもない。

【0134】例えば、1個のメモリセルが保有する情報は4値に限定されず、それ以上であってもよい。例えば8値とする場合、ピット線に接続されるデータラッチ回路の数を更に増やせばよい。また、データラッチ処理の演算手法は上記の説明に限定されず、適宜変更可能である。また、メモリマットの数、督込み電圧条件、消去電圧条件、ベリファイ電圧条件なども適宜変更可能である。また、消去状態と書き込み状態は上述の説明とは逆に定義することも可能である。フラッシュメモリのメモリマットはAND型に限定されず、NOR型、DiNOR型、NAND型等の別の構造とすることも可能である

【0135】また、本発明に係る半導体装置はフラッシュメモリのようなメモリチップに限定されず、フラッシュメモリ内蔵マイクロコンピュータなどのデータ処理用若しくは論理動作用の半導体装置にも広く適用すること

ができる。また、本発明はEEPROMにも適用可能である。

[0136]

【発明の効果】本願において開示される発明のうち代表 05 的なものによって得られる効果を簡単に説明すれば下記 の通りである。

【0137】すなわち、個々のメモリセルに多値の情報を書き込むため外部からデータラッチ回路に供給された 書込みデータが書込み動作によっても失われることはな 10 い。したがって、書き込み動作が終了しても、データラッチ回路には、当初外部から供給された書込みデータが 残っているから、ワードディスターブ検出若しくはエラティック検出の結果により、メモリセルに対する多値情報の書込み動作を再度行なう場合にも書込みデータを再 15 度外部から受け取ることを要しない。

【0138】また、メモリセルに対する多値情報の書込み動作を再度行なう場合に書込みデータを再度外部から受け取ることを要しない。

【0139】メモリセルから読み出したデータと追加書 20 き込みデータとの論理合成を行い、その論理合成結果をデータラッチ回路にラッチして追加書き込みを行うから、追加書き込み動作が終了しても、データラッチ回路には、論理合成処理されたデータが残る。

【0140】追加書き込みを完了するまで前記論理合成 25 結果をデータラッチ回路に保持することにより、エラティック書き込み異常に対して再書き込みする場合に書込みデータを再び外部から受け取ることを要しない。この点でも、半導体装置のメモリアクセス若しくはメモリアクセスを伴うデータ処理効率を向上させることができ 30 る。

【0141】追加書き込みのための書き込み電圧印加前に、消し戻し(弱い消去)を行なうことにより書換え耐性の範囲で追加書き込みの回数制限を撤廃できる。

【0142】 書き込みベリファイ動作において毎回、デ35 ータラッチ回路の初期データを用いて判定することにより、書込みの初期の段階などで書き込みベリファイ動作によって所期の閾値電圧に達したことが誤って判定されても、その不良を確認して再書込み可能になる。

【0143】書き込み後にエラティック・ディスターブ40 検出を実行することにより、閾値電圧分布の異常を検出できる。不揮発性メモリセルに多値で情報記憶を行なう場合、前記エラティック・ディスターブ検出において、過む込み状態としてフェイルする確率の高いワードディスターブ検出を先に行なうことにより、フェイルする場合にフェールの状態を検出するまでの処理時間を短縮できる。

【0144】消去後、デブリート防止のために過消去状態のメモリセルに対してむき戻しを行なって、消去状態のメモリセル閾値電圧を一定電圧以上に揃えることがで50 きる。

【0145】前記デブリート防止のための書き戻しを行なった後、ディスターブ検出を行なって閾値電圧の異常を検出することができる。

【0146】消去前に消去ベリファイを行ない、フェイルしたセクタに対して消去を行なうことにより、消去動作の無駄な時間を省くことができる。

【図面の簡単な説明】

【図1】本発明の一例に係る4値フラッシュメモリのピット線周りの回路構成を例示する回路図である。

【図2】本発明の一例に係る4値フラッシュメモリの全体的な構成を例示するブロック図である。

【図3】フラッシュメモリ用のメモリセルトランジスタのデバイス構造の概略を例示する縦断面図である。

【図4】フラッシュメモリのコマンドの一例を示す説明 図である。

【図5】ステータスレジスタの各ピット内容と入出力端子I/00~I/07との対応の一例を示す説明図である。

【図6】4値フラッシュメモリのメモリアレイに含まれるデータラッチ回路、ピット線及びセンスラッチ回路の接続関係の一例を示す説明図である。

【図7】データラッチ回路と入出力端子I/04, I/00との対応関係の一例を示す説明図である。

【図8】4値のデータとメモリセルトランジスタの閾値 電圧との関係を閾値電圧分布図で示す説明図である。

【図9】セクター括消去と書込みの電圧条件の一例を示す説明図である。

【図10】4値書込み処理における種々の書き込み態様を例示的に示す説明図である。

【図11】図1の4値フラッシュメモリの構成をレイアウト的な観点から示したプロック図である。

【図12】フラッシュメモリの動作態様毎の各種電圧条件を纏めて示した説明図である。

【図13】4値フラッシュメモリの読み出し動作の一例 を示すフローチャートである。

【図14】フラッシュメモリセルトランジスタの閾値電 圧分布に対する読み出しワード線電圧の関係を示した説 明図である。

【図15】4値フラッシュメモリの書き込み動作及び追加書き込み動作の一例を示すフローチャートである。

【図16】 書き込み動作に含まれる"01" 書き込み処理の詳細な一例を示すフローチャートである。

【図17】追加掛き込み動作に含まれる論理合成処理の 詳細な一例を示すフローチャートである。

【図18】"00" 書き込み、"10" 書き込み、"01" 書き込み、"01" 書き込み、エラティックディスターブ検出、追加書き込み前、並びに消し戻しの夫々の状態をフラッシュメモリセルトランジスタの閾値電圧分布で示した説明図である。

【図19】消去動作の一例を示すフローチャートである。

【図20】消去動作のうける消去電圧印加及びデブリート防止処理の夫々をフラッシュメモリセルトランジスタの閾値電圧分布で示した説明図である。

【図21】 書き込み動作等に含まれるデータラッチ処理 05 の演算内容の一例を論理的に示した説明図である。

【図22】図21の演算論理を採用した場合データビットA, Bの論理値に対する演算結果の論理値を示す説明図である。

【図23】追加書き込みの概念を示した説明図である。

10 【図24】追加書き込み動作に含まれる論理合成処理に よって得られる下位ビット及び上位ビットの書き込みデ ータの内容を論理式によって示した説明図である。

【図25】 追加書込み処理によって図24の結果を得る ための動作を論理的に示した説明図である。

15 【図26】フラッシュメモリの読み出し動作を詳細に示した説明図である。

【図27】"01"**魯き込み動作を詳細に示した説明図** である。

【図29】"10" 書き込み動作を詳細に示した説明図である。

【図30】"11"ワードディスタープ検出処理を詳細に示した説明図である。

25 【図31】"10" エラティック検出処理を詳細に示し た説明図である。

【図32】"00"エラティック検出処理を詳細に示した説明図である。

【図33】追加書き込みの下位ビット合成処理を詳細に 30 示した説明図である。

【図34】追加書き込みの上位ビット合成処理を詳細に 示した説明図である。

【図35】消去動作の詳細を示した説明図である。

【図36】追加書き込みの論理合成処理の一部を動作波 形によって示したタイミング図である。

【図37】追加書き込みの論理合成処理の一部を図36 に続く動作波形によって示したタイミング図である。

【図38】追加書き込みの論理合成処理の一部を図37 に続く動作波形によって示したタイミング図である。

40 【図39】追加書き込みの論理合成処理の一部を図38に続く動作波形によって示したタイミング図である。

【図40】4値フラッシュメモリを用いたファイルメモリシステムのブロック図である。

【図41】 費き込みと費き込みベリファイ時におけるセ 45 ンスラッチ回路のラッチデータとそれによる動作との関 係をまとめて示した説明図である。

【符号の説明】

1 フラッシュメモリ

3 メモリアレイ

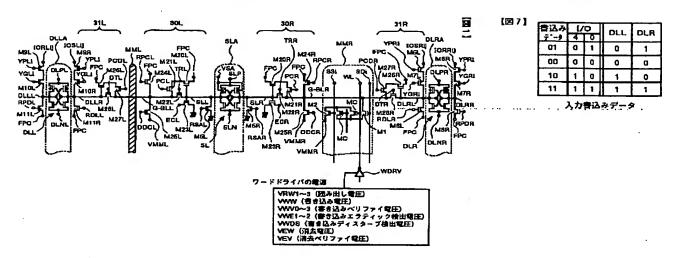
50 16 データ制御回路

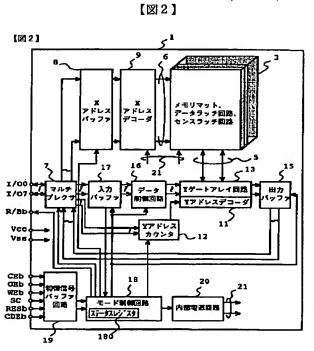
18 モード制御回路
 I/O0~I/O7 入出力端子
 DLL, DLR データラッチ回路
 DLLA, DLRA データラッチ回路アレイ
 MML, MMR メモリマット
 SL センスラッチ回路
 SLA センスラッチ回路アレイ

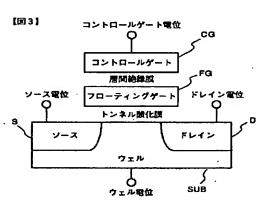
30L,30R スイッチ回路・演算回路アレイ 31L,31R スイッチ回路・演算回路アレイ MC メモリセル G-BLL,G-BLR ピット線 05 190 フラッシュメモリカード 190A コネクタ 195 マイクロコンピュータ

【図1】

【図7】





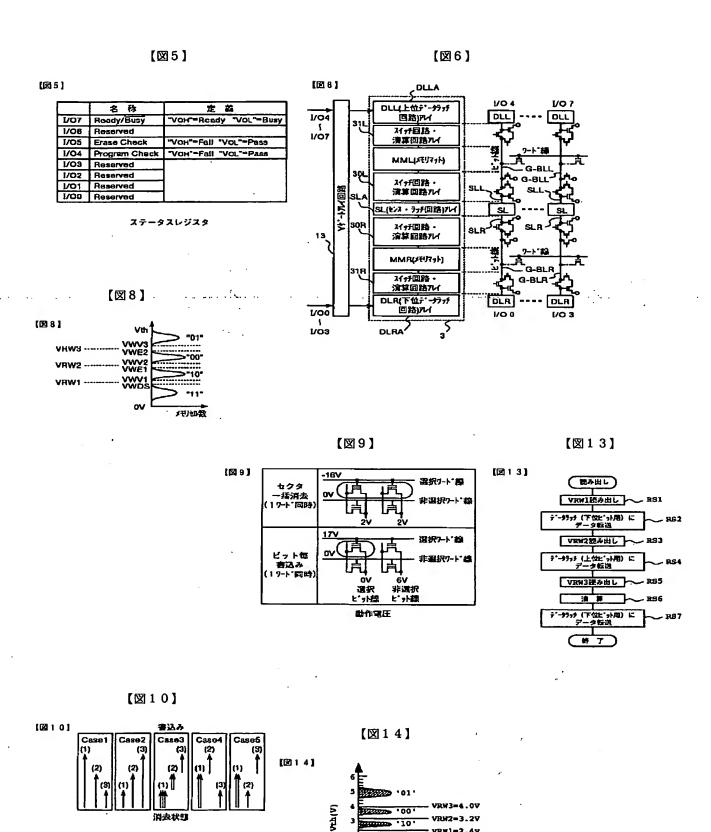


【図3】

【図4】

[2 4]

動作モード	コマンド
読み出し	00н
書き込み	178
追加書き込み	10H
消去	208

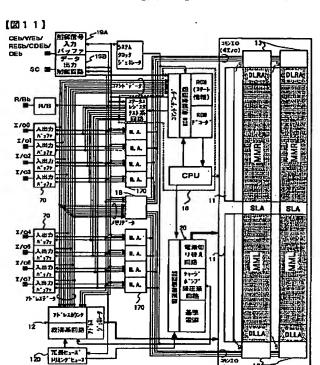


111.00/11

度数

VRW2=3.2V

【図11】

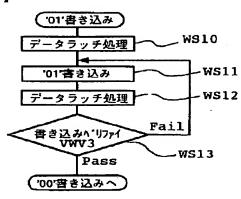


【図12】

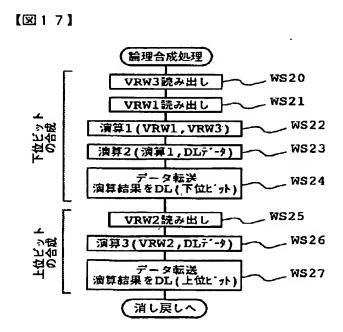
1	図1				
Г		選択プ			ブロック
\vdash		選択ワード	弁選択ワード	選択ワード	非選択ワード
	は出し	2.4/3.2/4.0V 1.0V Vas 1.0V Vas	1.0V Y Vas	OPEN POPEN	OPEN OPEN
	消毒	2.07	2.00	28 28	2.0V 2.0V 2.0V 2.0V
	音込みデータ	16.1/16.0/17.0V Vss POPEN	Vas Vas	OPEN OPEN	OPEN OPEN
古込	非常込みデータ	15.1/15.8/17.0V a.ov. 9 open	45V V.s.s.	OPEN OPEN	OPEN OPEN
3	ベリファイ	2.8/3.6/4.62	\$ 0 \$ \$ 0 \$ \$ 0 \$	S OPEN YS	OPEN OPEN
	エラティック検出ディスターブ機出	2.9V/3.1/3.9V 9.01 V9.01 V9.02	1.0V Y Y 1.0V Y	OPEN OPEN	OPEN CPEN

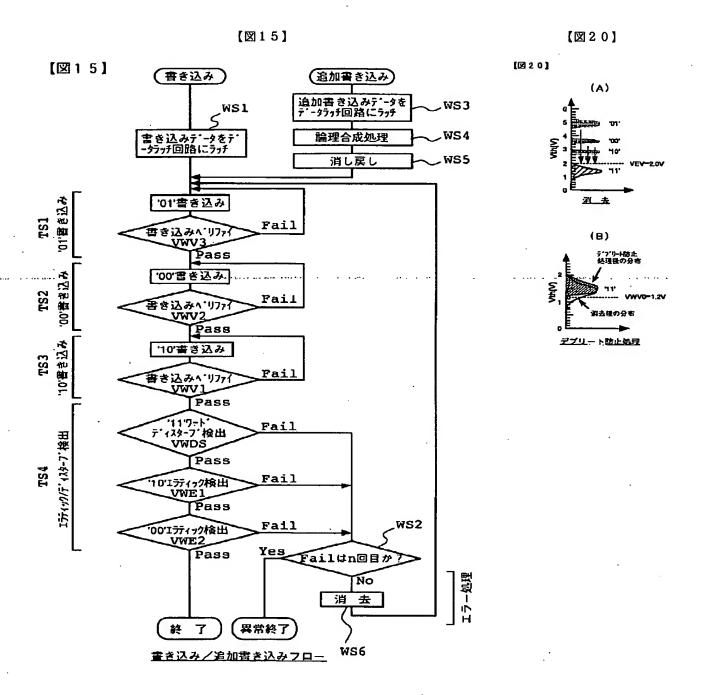
【図16】

【図16】



【図17】







[2018] (B) (A) 5 101' WV3-4.5V







<u> なびき音700°</u>

[図22]

[**2** 2 2]

	A 上位	B 下位	A+B	A+B	A+8	A+B	A · B	A·B
	0	1	0	1	1	0	0	0
-	0	0	1	0	1	1	0	0
-	1	0	1	1	0	0	1	0
i	1	1	1	1	1	0	0	1

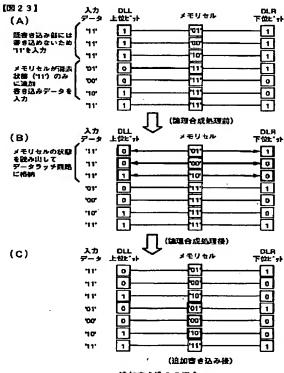
【図21】

[2221]

データラッチ処理	漁算内容 (選択マット側センスラッチデータ)
"01" 春込みデータ	A+R
"00" 衷込みデータ	A+B
"10" 告込みデータ	Ā+B
"00" エラティック核出データ	Ā+B
"10" エラティック検出データ	Α·Β
"11" ディスターブ検出データ	A · B

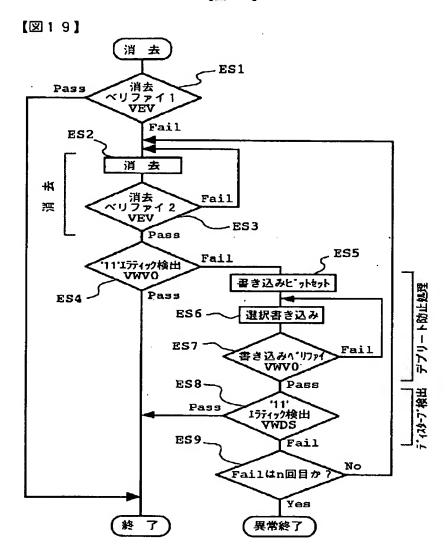
A:上位データ、B:下位データ

【図23】.



追加書き込みの概念





消去フロー

【図24】

[回24]

下位ピット: a0・(b1 母 b 3)

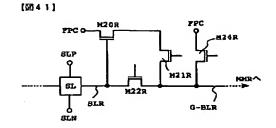
上位ピット: あ1 田 b 2

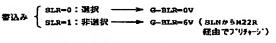
、a0:迫加管を込みデータ(下位ビット) a1:迫加告さ込みデータ(上位ビット)

b 1 : メモリ統み出しデータ (VRW1(2.4V) 統み出し) b 2 : メモリ統み出しデータ (VRW2(3.2V) 読み出し) b 3 : メモリ統み出しデータ (VRW3(4.0V) 読み出し) ⊕ : 排他的論理和

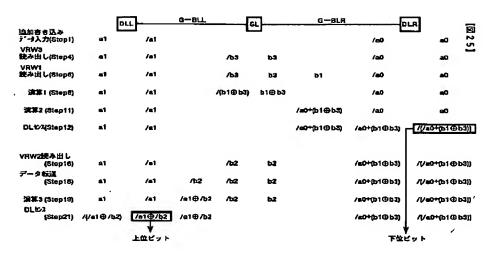
メモリセル の状態	迫加書き 込みデータ	a 1	a 0	ь 1	ь 2	ь з
0 1	11	1	1	1	1	1
0.0	1 1	1	1	1	1	0
1 0	1 1	1	1		٥	0
11	0 1	0	1	0	0	0
1 1	0.0	0	0	0	٥	0
1.1	10	1	0	0	0	0
1 1	1 1	1	1	0	0	0

【図41】





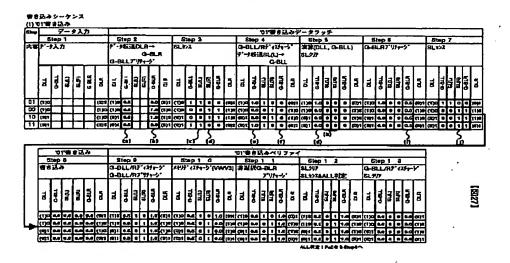
【図25】



【図26】

<u> </u>	-				<u> </u>		_																														
Step	L		_	_	v	RV	V11	3	Щ	<u>ن</u>				L		_		VR)	N21	20	<u>#</u>	<u>ا</u>				ŀ											
	8	les	3 1	<u> </u>				ş	ep	1	_			s	tep	3				9	tep	4				1											
内容	VF	AW	/12	2	*#	16		81 報		→c	LR	17	••	v	₹W	2 EX	æ	H C		31 12		9	L	ş*-	*												
	귫	Time d	18.10	3	SUR	G-BLR	5	굺	18-6	778	5LP3	egg.	e e	70	180	귫	25	P-BLR	8	귈	118-0	SLALI	SLA	O-BLR	冒												[2]28]
01	Т	T۵	1	٥Ì	ন	•	Г	П	•	•	•	T	1	t	١	ŀ	ħ	1	İ٠	•	•	•	7	1	П												
00	Г	Ī	1	ं	ন	•		П	•	0	•	•	ī	Г	١o	Ī۰	ī	ī	1	•	•	•	1	•	•												
10		0	Ī	ग	•	1			•	•	•	Ī	13	Г	ī	ī	Ī٠	·	1	1	•	1	•	•	1	Т	1										
11																																					
	L.,	Ŀ	L	ı	•	0			•	\odot	•	0	•		•	ŀ	•	•	•	•	•	١	•	•	•												
					•	0			<u> </u>	-	•	•	Ŀ		Ŀ		RV	/21	•	~	_	å			•		_		_			_			_		
<u></u>	_	tog	. 6		_			_	••	_			<u> </u>	_	lep	7				S	Q.P.	ā.	7				(P)			_			lep				
	_	tog	. 6		•			_		÷			•	_	A.	7			·-;	51 3	40 4(1	ā.	78					0	257			S G-8	LR	+			•
	_	les e	3.8		_	L		_			(79)			01 \$5	.s.	7 -G		ДĴ		51 3	40 4(1	a B B B B B B B B B B B B B B B B B B B	78			Di	A7	· 	П		אום	ġ	LR	→C DL	PLF C PF	ŋ	, 5
	VF	1 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1	5 6		- H	C-Bru	- B10	0	au		(79)	, ,	2	01 \$5	.s.	7 -G	-BI	ДĴ	- 	51 3	98 T18-0	a B B B B B B B B B B B B B B B B B B B	78	*		Di	A7	· 	П			G-8	1180	E CLUD	SL 51 175	1	_
	5 Ta	1 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1	5 6		£	C-Bru		0	au		200 E	,	2	01 \$5	.s.	70	-BI	ДĴ	- 	SI I	98 T18-0	a B B B B B B B B B B B B B B B B B B B	SLR O	*	DLR.	Di	A7	· 	П		•		1180	10 CT 10	- SLON (4.5)	7 HBH 0	ฐ
•	5 Ta 00-	- C-BT %	5 5 7 3 2		81.74 F	6 6 G-BLR	1 1	d ma leter	TR-0 • • •		17) OUTS = 0 0	, R18-0 o	P	10001	.s.	70	-BL	ДĴ	- 	SO THE O	98 T18-0	a B B B B B B B B B B B B B B B B B B B	- SURI OF	G-BLR	- 0.R	Di	O G-BL	SU(1)	• GLA	FIB-0	0 0 0	G-8 4833 T-0	118-0		0 0 - SUPI RE 5	F 6-848	ජූ ලා

【図27】



【図28】

De p	L_													_	4	0.1	4000	7-1	,,	ッチ															
	8	Step	1	4			8	top	1 5			9	tep	1	6				top	1 3	,			8	tep	1	8	_		5	tep	1	9		
	G-E					SLR.	SLE	м	_		_	G-E						演用	KG-	BLL	., 5	C.		消算 SL1			G-6	3LL	,	6L1	1				
	To	78 183	SLC.	(A)TS	O-BLP	870	큠	CBIL	고	5	5	ਰ	큠	SKU	E) T	C-BLA	ង	ī	128	3	£	5	5	DIT	C-BILL	(1)TS	N)B	Cella	ene ene	TK.	783	84(1)	SL(R)	GRIP	50
01	ž	0.0			0.0	(CO) 1	2	•	団	•	(NO)	(1)(1)	1.7	ŀ	•	8.3	1031	(1)0	8.8	Н	•	ᆆ		(810	8		-	0.8	(0)1	2	ŀ	ŀ	H	,	E i
9	2	8.5	Г		1.0	(1)0	(134	•	0	1	п×	uxa	8.0	•	П	8.0	(1)0	(1)0	1.0	न	1	ᆆ	c)a	{110	1	o	9	48	(1)0	72	7	ī	•	•	T PE
•			_							_					_					1	-12	74					-	_		_	_	_	_		_
10	(43)1	8.5	<u>1 </u>	1_	1.0	(1)e	Ē	•	OI.	11	lux.	(E)1	8.5	•	1 * 1		(1)0	(a)	1.0	101	.,		(1)	-		0	• 1	e .5	(1)0	(CO)			•	1	I CT PE
	ହି ହି			Н	3 3	2 6	Ē	•	ů	:	6	40)1	99	ŀ		2 2	문출	25		i	•	-	65	3	8 6	8	፥	6.5 6.5	(1)O	6	÷	÷	-	-	E E
					1.0	(1)# (D)1	8	•	÷	:	(E)	(B)1	12	Ė	<u>.</u>	4.5	(T)D (M)T	(6)	1.4 A.	j	•	2	(1)A	(F)	8 8	÷	9	0.5	(1)O	(B)1	÷	÷		•	(C)
		4		6 12	1	(C)1	881	<u>:</u>	<u> </u>	:	(E)	(B)1	1.0	•		8.8	(40)1	(41)1	•••	•	• •	24	7 T	(F)(1	3	•	히	0.5	(1)O	(CD)1	:	Ė		1	(C) 1
	(8)1	70			1	(C) 1	(CO) E	•	2 1	:	(E)	(E) E	i a	<u> </u>	<u>•</u>	8.8	(40)1	007	•••	1 Δ	이 ベ!	24	(E)1	63 1	3 3	٥	0	0.5	(1)O	(591	•	•	•	1	(G) J
	(8)1	o Top	0.0		1	<u>6</u>	(CO) E	top	21		(R)	##)1 8	tep	2	2	8.8	(40)1	100	lep	0 Δ& 2	이 (ベ!) 7	9 T	(F)1	a.e	٥	0	0.5	(1)0	(591	tep	2	5	1	(0) 1
	(8)1	o Top	0.0		1	<u>ල</u> ා	(DO) E	top LL/	2 I	25+	(R)	##)1 8	tep	2	2	8.8	est	100	lep	0 Δ& 2	이 (ベ!) 7	9 T	(F)1	tep	2	4	0.5	(4)1	(091	tep	2	5	1	(0) 1
11	9 8 710	100 mg/s	2	SLRI	G-BLR	DLR 3	8 0 B B	O-BIT (C) THEO	2 I	THE STATE OF	P. R. A.	601 FER	G-BILL 1, 18	2 27	0 N N N	C-BLR S	S) File	DIL #	TE STORY	1 2 2 3 3 3 3 3 3 3 3 3 3 3 3 3 3 3 3 3	R7		91 11	ש של של	9 P P P P P P P P P P P P P P P P P P P	2	4 #1	# 583 5	DLR Less	(B) (0-8 8L7	100	2 R)	5	Para -	
11	9 TO (5)	P 29 178 0 8	TITE S	SLR1	S G-BLR	ਤੂ ਰ	8 8 6 7 10 E	・ Bully Trans a	2 I R7'	THE O	P. O.R.	601 S 205	10-0 S	2 77 TUTB •	2 % (2 C-818	3 DLR &	100 FF00	Tellise September	1 B	- R7	77	97 27 27 27 27 27	3 DLL 12 E	8 0-8L 22 48	0 KILL 1	4 (8)73	5 C-813 3	EDG BET	S 0-8 8L7	100 M		- William	P G-BLR	
11	101 P	118-0 124-	TURS SE	SLRI	8 G-BLR	हुँ हैं हुई कि	8 0 0 TO 22	் நிழ்ந் புகல் இது	2 l	P. P	EDI DALR	601 501 101 016	9 P T THEO 3 3	7 TUTS 0 1	2 2 (C) (C) (D) (D) (D) (D) (D) (D) (D) (D) (D) (D	2 8.8.8 ≥	\$ B10 € 6	007 # 3 170 120 020		1100 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0		7 7 7 7 7 7 7 7 7 7 7 7 7 7 7 7 7 7 7	2 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1	2 2 DL P 8	2 0-8L 2 2 2 2 2 2 2 2 2 2 2 2 2 2 2 2 2 2 2	2 2 173	4 1973	5 C-84 3	E 20 DLR	S 0-8 8L7	100 M	~ स्रोतिक स्र	- William Called	2 G-84 4	80 800 800 800 800 800 800 800 800 800
<u></u>	10 10 10 10 10 10 10 10 10 10 10 10 10 1	P S C S C S C S C S C S C S C S C S C S	778 888	SURI	8 G-8LA	를 등 을 면 RR 등 등 등 등 등 등 등 등 등 등 등 등 등 등 등 등 등	8 0 0 TO 225	-	2 I RF	15- 15- 15- 15- 15- 15- 15- 15- 15- 15-	P. O.R.	(E) (C) (C) (C) (C) (C) (C) (C) (C) (C) (C	10 0-BIT 13 3	1 2 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1	2 % (2) 73	\$ 118 c-818	\$ 2 3 DLA &	0078 97 17G 25 25 25 25 25 25 25 25 25 25 25 25 25		10 0 10 0 10 0 10 0 10 0 10 0 10 0 10	R7) 7) 7) 1,0	2 7 8 1 6 1 6 1 6 1 6 1 6 1 6 1 6 1 6 1 6 1	3 2 DLL 12 8 9	2 C C C C C C C C C C C C C C C C C C C	0 N Z (1) S 000	4 4 2 2 7 1 1	5 5 5 G-84R R	85 5 5 Bunn 8 5 5 5 5	(091 0-8 8L7	1 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1	~ सि प्रमुख • • •	- William Composition	2 8 G-BLR -7	80 80 80 80 80 80 80 80 80 80 80 80 80 8

【図29】

Step 2 5 Step 2 7 Step 2 8 Step 2 9 Step 3 0 Step 3 1 S	3) 7	O.M.																																			
**・ 外に残りに一つC-BLA SLEX G-BLL/RF* (メナー)* (日本) (日本	-							_								'11	7	81	<u>ΔΦ?</u>	<u> </u>	7	ッチ		_									_				
G-BLL7 199+->** G-BLL7 199+->** G-BLL7 199+->* G-BLL7 199+		5	tep	2 (5			S	tep	2 7	<u>_</u>			9	tep	2	8				tep	2	9			. 9	tep	3	٥			S	tep	. 3	1		
(대 (40	ş;	MEX	BOL	.R-	-0-6	3	SLE	χĸ					G-E	ıL,	/Ri	- 12	7+	۸.	演算	ųο.	BLI	., s	TT.	n i	SL?	יעי					SLt	22				
대 (1) 전 (1	- 1	G-B	LL7	1119	4-5	•								7*-9	123	tor.	L -•	O-E	TLL.	1					~	g- B	LR	,.4	5 7 -	y•							
01 (138 GA)	- 1									П	Т					П	П		\Box			П	Т	П		\neg			П			$\overline{}$	Г	Т	Г		ſ
01 (138 GA)	_]	4	H	3	æ	5	æ	_	ⅎ		æ١	5	œ	_	lظ	Ь	اڃا	5	ی ا	ادا	3	51	واج	5 I	ac I	ᆈ	Ⅎ	3	اھا	5	ar I	۱_	Ιđ	Ь	æ	5	æ
이 (158 Ga.)	- 1	귤	191	3	12	3	큠	占	9	H.	31	3	귤	3	15	Ē	泛	7	13	18	쿅.	교	뒭	₹Ι	31	31	9	S	뎚	引	3	18	ᅙ	复	烹	豆	3
20 (77) (84)			ا۳ا	_		۳			٦		``	٩			ľ٩		П	۳		ļ I	9	П	٦'	٩I	- 1		0	ΙTi	ľ٦	9			۳	Г	Ι".	0	į
20 (7) (8) (1) (1) (1) (1) (1) (1) (1) (1) (1) (1	61	-	100	-	Н	9	1931	CI 10	7	H	a		(D)	(134	-	١.	ы	•	rena	(178	-		ᆉ	ᆎ	-	770	8	H	н	-	785		-	١.		H	
(1) (20) (20) (20) (20) (20) (20) (20) (20					П																																
11	ou i				_				i	_	_																										
10番号込み 12 Step 3 3 Step 3 4 Stap 3 5 Stap 3 6 Step 3 7 Step 3 1 2 Step 3 3 Step 3 4 Stap 3 5 Stap 3 5 Step 3 7 Step 3	_	8031	8		1 1	8.0	(4)0	601			7 1		CI X																					81			
Gep 3 2 Step 3 3 Step 3 4 Step 3 5 Stap 3 5 Stap 3 7 G-ELL/Rディジャン・	10				Н																																
日本 日本 日本 日本 日本 日本 日本 日本	10				Н																																
(2) (2) (2) (2) (2) (2) (2) (2) (2) (2)	10		0.5		912	e. 0													(0)1	(12)	9	ı	0	0	E33 E	m)1											
THE WIND COLUMN	10	9031	70	78		e. 0		(40)1	<u> </u>	<u> </u>	<u>• 1</u>			(III) t	1.0	1	0		(0)1	1091	2 0	1 33	<u>미</u> ~!	0	E33 E	m)1	8.0	•	<u> </u>			(0)1	•	<u>•</u>	<u> </u>		
(7) 0.00 0.00 0.00 0.00 (1) (7) 0.00 0.0 0.0 0.00 (1) 0.00 (1) 0.00 0.0 0.0 0.00 (1) 0.00 (1) 0.00 0.0 0.00 (1) 0.00 (1) 0.00 0.00 0.00 (1) 0.00 (1) 0.00 0.0 0.00 (1) 0.00 (1) 0.00 0.0 0.00 (1) 0.00 (1) 0.00 0.0 0.00 (1) 0.00 (1) 0.00 0.00 0.00 (1) 0.00 (1) 0.00 0.00 0.00 (1) 0.00 (1) 0.00 0.00 0.00 (1) 0.00 0.00 0.00 (1) 0.00 0.00 0.00 0.00 0.00 0.00 0.00 0.	10	(CD) 1	مة العال	1 : 2 = 1		e. 0		(10)1 S	ieg	<u> </u>	<u>•</u>	•	(D)1	(II) 1	1.0	1	•	•	(0)1	1091 1091	ag ep	3	이 ~! 8	0	71	(C)1	e.o	•	<u> </u>		(8)1	(CD)1	100	3	7	<u>.</u>	COD 1
(7) 0.00 0.00 0.00 0.00 (1) (7) 0.00 0.0 0.0 0.00 (1) 0.00 (1) 0.00 0.0 0.0 0.00 (1) 0.00 (1) 0.00 0.0 0.00 (1) 0.00 (1) 0.00 0.00 0.00 (1) 0.00 (1) 0.00 0.0 0.00 (1) 0.00 (1) 0.00 0.0 0.00 (1) 0.00 (1) 0.00 0.0 0.00 (1) 0.00 (1) 0.00 0.00 0.00 (1) 0.00 (1) 0.00 0.00 0.00 (1) 0.00 (1) 0.00 0.00 0.00 (1) 0.00 0.00 0.00 (1) 0.00 0.00 0.00 0.00 0.00 0.00 0.00 0.	10	(CD) 1	مة العال	1 : 2 = 1		e. 0		(0)1 S G-8	tep	3 :	ol	o fr-2	(D)1	(II) 1	1.0	1	•	•	(0)1	1091 1091	ag ep	3 3 3 3 3 3 3 3 3 3 3 3 3 3 3 3 3 3 3	이 ~! 5	17	71	81.7	tap	3	• B		OF0.1	(0)1 8 9-8	1ep	3	7	<u>.</u>	COD 1
(7) 0.00 0.00 0.00 0.00 0.00 0.00 0.00 0.	10	6001 E 8	100 100 23.7	70		a.o	(tr)1	601 G-8 G-8	LUZ	3 1 RF	0 44.2	5+-3	(B)1	(II) 1	1.0 Rep	3	• • • • • • • • • • • • • • • • • • •	· ·	(031 (V1)	1091 1091	top	λ 2- 3 : 3 - 8:	이 3 나 1 7 년	17	7°	81.2°	tep J/	3		*	OF0.1	(0)1 8 9-8	Jap LL 97	3 /Ri	7	7	COD 1
(7) as an an as (2) (7) (7) (2) (2) (2) (3) (4) (1) (2) (2) (3) (4) (4) (4) (4) (4) (4) (4) (4) (4) (4	10	6001 E 8	100 100 23.7	70		a.o	(tr)1	601 G-8 G-8	LUZ	3 1 RF	0 44.2	5+-3	(B)1	S JP/i	1.0 Rep	3	• • • • • • • • • • • • • • • • • • •	· ·	(031 (V1)	1091 109 8 非国	top	λ 2- 3 : 3 - 8:	이 3 나 1 7 년	17	7°	81.2°	tep J/	3		*	(II)1	(II)1 S G-8 8L2	Jap LL 97	3 /Ri	7	7	Oma Oma
(1) (2) (2) (2) (2) (3) (3) (3) (4	10	6001 E 8	100 100 23.7	70		a.o	(tr)1	601 G-8 G-8	LUZ	3 1 RF	0 44.2	5+-3	(B)1	S JP/i	1.0 Rep	3	• • • • • • • • • • • • • • • • • • •	· ·	(031 (V1)	1091 109 8 非国	top	λ 2- 3 : 3 - 8:	이 3 나 1 7 년	17	7°	81.2°	tep J/	3		*	(II)1	(II)1 S G-8 8L2	Jap LL 97	3 /Ri	7	7	Oma Oma
(2) (2) (3) (4) (4) (4) (4) (4) (4) (4) (4) (4) (4	10	8 E E E	70 14 PP 12 PP	700	SLRi	G-BLR &	E E	S S S TTO	0-BL 7. 7.83	1 RF 991	0 44.5. MA	5 5 5 5 5 5 5 5 5 5 5 5 5 5 5 5 5 5 5		S S S S S S S S S S S S S S S S S S S	120	130	ELR)	G-BLR \$	(1v)	10年	Sep Tre-O	3 8			71 7	81.78 81.8	SP THEO	3 44 (1)78	B #1	± 4300	E 1	(ED)	Page 17 Tage	3	7.13	- Files	. E. 20
(0) (0) (0) (0) (0) (0) (0) (0) (0) (0)	10	801 710 710	1 ep 12 7 18-0 8	TOTAL S	SLR)	S G-BLR	601 601	3 011 0 8	1 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1	1 Rr 9/1	0 42	5 THE STREET	. B. D. B.	30°	118-0	1	O SELIN	F G-BLR S	(B)1	109	TIB-0	3-8	の スリンプ (1) (1) (1) (1) (1) (1) (1) (1) (1) (1)	177	7 1 7 5 601	81.75 81.45 81.45	S THEO S	• SL(1) P	B #	3 C-61.3	E 100	(E)1	180 180 S		7 14 1878 0	- HB-0 &	E PO
	10	SE 310 CO	180 8 8 8 8 8 8 8 8 8 8 8 8 8 8 8 8 8 8	10 mm 3 S	SLR)	8 G-BLR	870 Si	8 9 0 THO 8 8	- C - C - C - C - C - C - C - C - C - C	3 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1	0 4 2 H 3 1 1	P. G. B. G.	E	8 no 8 8	1.0 1.0	TIPS	1 SL(R)	5 F. G-BLR §	(W1)	10個	3 3 3 3 3 3 3 3 3 3 3 3 3 3 3 3 3 3 3	3 3 3 0 0	回	9 17 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1	7 · · · · · · · · · · · · · · · · · · ·	81.7 81.8 81.8	S 78-0 3 3	● SUN → N → ●	B #1	1 0-6th W	en	(13) (13) (13)	1 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1	0 87(T) 137(B) 0 0	7 (H/H) 0 0	- HB-0 & &	E BO
	10	83 THO (C)	2 2 0-8u 1 2 2 2 2 2 2 2 2 2 2 2 2 2 2 2 2 2 2	10 mg 3 3 3	SLRI	3 a-8 a-8 a-8	870 S C C	8 8 8 170 8 8 8 8	- 835 ma-o 333	1 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1	0 1 4 % Mag 0	4 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1	3 2 3 3 D.A.	ම ගැනී කර දී පීම	1.0 1.0 1.0 1.0 1.0 1.0 1.0 1.0 1.0 1.0	Type o o -	0 EL/R) 0 0	S 888 3 1 2 2	(1) (1) (1) (1) (1) (1) (1) (1) (1) (1)	10個 8 # 3 10 10 10 10 10 10 10 10 10 10 10 10 10	3 3 3 3 3 3 3 3 3 3 3 3 3 3 3 3 3 3 3	3 0 0 1	0 XI	a Para	71 7.	2 2 2 2 2 2 2 2 2 2 2 2 2 2 2 2 2 2 2	2 P 7 7 TB-0 2 2 2 2	0000 SULL P W	B # 19/73	2 5 5 Gen W	end ene	(0)1 S-8 SL2 (1)0 (1)0	- TR-5 888	0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0	7 THE O O O	- HB-0 8888	E PO

【図30】

1100													_ 7	1.2	-	ドチ	4 2	ナー	7 7 7	-2	2	<u>, F</u>		_		_	_	_							
	s	tep	30			j	S	lep	3	9			S	tep	4	0			Step	4	1			8	tep	4	2	_		S	tep	4	3		
3 8	71			L-	G-E	ш	SLŁ	,1					ď	L	'nř	12	チャーシ	· 语	∓ (S	L(R	D	-aL	R)	in H	KG-	ᅂ	A, I	DLA	1)	SLt	0 3				
	G-B												0-E	L	רחי	99	٠-۶.							ij	(I)			_							
						П			П	П					П	П	Т	Т	Т	Т											Ι.	Γ			
	큠	O-BIL	SLILL SLILL	SL(R)	9-8-6	DLA	큺	THE	3	S	58.6	D.A	큥	귤	큺	É S	<u> </u>	5 2		3	8LM	S.E.A.	2	뒴	इ	3	<u>8</u>	G-BLR	5	뒴	쿻	3	풀	E E	ទ
							L	Ĺ	Ц	Ц			L		Ц	Ц	_	_	1	1	L		_	ᆫ	_	L	Ц	Ш		L.,	Ļ	L	L	L	L
01	(1)=	8				Ē			•									10 2 (1				0.0	(B)	(7)	20	Ľ	Ľ	-	3	CINO		ľ		·	
8	(1)0	8			3	2	2	0		1	_	(1)0	_	_	_			130 (1			_	_	-	_	-	-			(L)O		Ľ	1,		·	
10	(10)	1.0				(1)0				•		ŧ						130 (1											(L)O			Ŀ	ŀ		(1)
11	(0)1	1.0			3	(1201	(11)	╚	⊡	•	•	(CO)	60)1	0.5	Ŀ	▣	1.0	3	ri e	٠!	0	120	(3)1	(OR)	0.5	۰	Ŀ	1.0	201 1	(831	ŀ	ŀ	1,	יי	(CO)
	[001	1.0	_		-	(10)1	((1	_	ك	<u>•</u>				=			Ξ	がは	ri e	<u> </u>	<u> •</u>	114	(#)1		Ξ	Ξ		1.4	(AD)1	[(10)]		ŀ	1,	<u></u>	(co)
11		Ξ	-		94	(10)1	Ξ	tep	Ξ	Ξ	_		ク -	=	74	2.5	Ξ		n e. Ste	Ξ	Ξ	11.0	(20)1		i e f	4	В			1001	10	<u>I.</u>	1.	<u></u>	m
		tep					Ξ	tep	1	5	Ξ	41	ク -	۲۶	4	7 5 6	- :		Ste	Ξ	Ξ	112	(391	Q-(it o p	-	В			l (es)	L	10	<u></u>	<u>.</u>	<u> </u>
	E	tep						tep LR	4	5	IJŦŦ	41	ク -	۲۶	4	7 5 6	- :	/柏田	Ste	-	7		(29)1		it o p	-	В				10	10	17	<u> </u>	<u> </u>
	E	tep	Rtř '		+->		6 G-6	tep LR	4	\$ 17.	IJŦŦ	41	ク -	۲۶	4	2 5 5 7 (Eliza	Tage	(A) (B) (B) (B) (B) (B) (B) (B) (B) (B) (B	Ste 9/17	a 4	7	G-BLR TE	5	G. G.	Sie II		BL(R)	2.5. 2.5.	ý. 5		10	<u>l°</u>	T.		<u></u>
	\$ G-6	OBIL THE	Rtř '	725	P. S.		6 6 Tio	ALL.	100	2 17 ELIS	O-BLR A	₹ 11°	7- 5 (P)	1.43 1.43	1 4 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1	ス 5 6 シ (E I I	Tage	/指出 SS) SS	Ste 9/17	2 A A	7	g o-BLA PE	52	3 8 8 1 8	No.		BL/R)	29 S	y. 53		10	<u>le</u>	1		(m)
	90 TO	e Gerit	Hr.	(25 (E) 3	• 0-81.8	5	6-6-6-170 CE	L P		2 17 ELIR	0-8LR	₹ 11°	クー (で)	1.60 K-2	1118	ス 5 6 シ (E I I	- Sera	(A) (B) (B) (B) (B) (B) (B) (B) (B) (B) (B	Ste 1917 1921	2 A A	7	g o-BLA PE	5	3 8 8 1 8	No.	A THE	8L/R)	878-0 6-818	470 801		10	10	12		<u></u>
-	50 TID 100	e Gerit	Hr.	(25 (E) 3	• O-BLR	8,8	10 CE	P CORT	4 2 7 17 17 17 17 17 17 17 17 17 17 17 17 1	8 C. BLIRI 14 C. S.	15 O-BLR 4.5	25 25 211.	クー (P)	1.00 G-01	14 4 1718 1	ス56 少() (上) 13 0 0 0	- 1 - 1 - 1 - 1 - 1 - 1 - 1 - 1 - 1 - 1	AND S	Ste	841	7 13 000	2 G-BLA 7	ena en	10 E	1 Per 0 Per 1	A PRINTERS	8 8 8 E	S. B. G.	50 (m)			10			

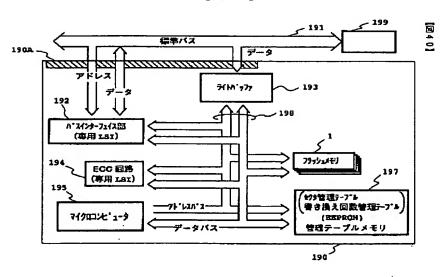
【図31】

tio														*1	1073	•	74	22	7 <i>9</i> 7-	*	9 y	尹						_					_	_		
	S	lep	4 9	_			S) Qet	5 (0			9	tep	5	ī			S	ф	5 :	2			8	tep	5	3_			S	tep	5	4		
18	7'-9 G-B	1	EDL	L→		LL	SLt	_					33 G-6						演算	SL	(A),	G-	BL		9L2 G-8		1*1);	fq-!	٠ <u>.</u>		SLE	22				
				SLOR!	G-BLR	D.R	מוד	GALL	쿬	SL(R)	G-BLA	G.R	סור	퍪	큠	SURI	Q-BLR	B.M	DLL		SLAJ		O-BLR	2	τa)	SU(1)	Ш	G-BLR	670	מד)	L	L	6-8LA	570
01	(1)0	8		$\overline{}$	8	(55) 1	(1)0	•	П	1	ন	(FI)1	(1)0	•	Ī۰	•	90	ŧ	230	0	•	•	8	69 1	4938	3									·	(D)
00	(1)0		П					•	D	1	•	(T)	(1)0	Ŀ	P	•	9.	130	(1) 4	0	•	1	0.0	(1)0	(1)0	9	_	_	I	_	(1)0	_	·		_	C.×
10	80	• 1	М		B	3	[6]1	۲	П	٥	•	~ 3	(2)1	•	Ŧ	٥	1.0	(1)0	(8)1	•	•	•	Ġ	Ē		3					COLI	Ŀ		Ŀ		C X
																																	1			
<u> 11</u>	(R)1	9.0	Ш	L_	8	0001	(4) 1	-	1	0	•	œ,	(e) 1	•	٠	•	O.B	€ ©1	(80)*	۰	٢	ا•	a.o	(0)1	691 1	Les.	P	۳	<u></u>	(40)	(41	<u></u>	Ŀ	<u> </u>		(C)
11	Ē		<u> </u>		8	0801				Ξ	•	=	10'		ç.	. ,		Ξ			6		0.0	¢031		tep		Ξ	-		}		_			Iens
11	Ē	tep						tep	5	6 17	197	=	1073	z 5 Rep	<i>9</i> .	7	21	E1)		tep	6	8	=			top	5	9					_			,
11		tep					S O-B	tep LR	5 2.5 7 191	6 17	197	=	1073	z 5 Rep	9. 5. 1/4	7	21	E1)	8 91.7	tep))7 >18	6	8	=		S (3)-6	top	5 1917	9	ify-							
11	- Tig	iop LL/	Ri '	(XF	F.3.	5	5 0 B	G-BLL TI G-B	5	SURI 4 CI	O-BLR .	7	10°3	198 d	5 5	アンシー 三日 3	2-8.4 2-6.4 2-6.4 3-6.4	E1)	91.7 S1.1	iep Ji Ji Ji Ji Ji Ji Ji Ji Ji Ji Ji Ji Ji	5 AL (1) 8	8 TH)	* 1.89		6.6 BL.9	Tiep Tiep Tiep	5 PT 7	• SUR)	F18-5	W 10						
11	G-8	O-BILL O-BILL	Ri T	(X)	• 0-84.4	5	5 0-8 0-8 110 110	G-BLL TI	5 7 7 7 7 7 7 7 7 7 7 7 7 7 7 7 7 7 7 7	SURI 4 CI	P O-BLR	A. A. A.	10°3	199-0 199-0 199-0	5 5 7 7 7 7 7 7 7 7 7 7 7 7 7 7 7 7 7 7	7 2 3	24 P-8-0	E1)	8 91.7 81.8	1ep	E AL	8 # (H) # 0	* FE-0 33	ETG CE	(1)a	S G-BLL OF	5 FT 7	e SLIR)	6-8-19 8-8-19	W 10						
<u>11</u>	-BBBBBBBBBBBBB-	O-BILL O-BILL	Ri T	(X)	P. S. R. R.	80 00 00 00 00 00 00 00 00 00 00 00 00 0	50-B 0-B 110 CCC CCC CCC	8 8 8 G PEL P. 2 8	7975	SURI F 18	E S G-BLR .	A RUO 8 8 8 8	10°3	198-0 198-0 198-0	5.5	7 2 2 3 0 0 1	2 0-8LA	E1]	8 91.3 \$1.8 1 2	190 0 44 0.5	5 Z (1) S	0 # (H) TE 0	M HTB-0 333	5	69-6 61-9 61-9 619-6	2 S G-BL1 4 S	5 ER 7	e e e BLIR)	F 6-819	(1)¢		,				

【図32】

Step	┖													'00	7I	77	19	クチ・	-9	7 -	F													
	_ s	itep	6 (ø	bap	8	1_			St	ep.	6 2			5	lep	6 3				kep	6	•		Т	SI	ep.	6	5		
r) ti	₹	ti	(DI	R	G-E	Š	SLt	ᄶ				a	-BL	1/1	۹ħ.	(35)	-4	38.0	dor	L, G	-BL	٠,	SL	קוי				8	Lt:	d.				
	9-6	LL	* J#	→	_			_	_	_		- 3.	-10	SH:	trit) →0	BLL	┖	_				G-6	LR	7*4	4-2	<u>. </u>	4		_	_	_		
	굺	TIG-0	CO'S	SUR	3-8LR	CLR	770	G-BILL	פועי	3	5	į	3	186	3		동	귫	G-BIL	TUR EVE	P. P. P.	ฐ	큠	991	SLAL	EL/8	5	§	ᆲ	G-811	퍃	81.6	G-BLA	25
01	(T)O	-		П	19	021	(1) a	٠	⊡	ন	<u> </u>	01 (1	70	1.0	•	4	100	(1)	1.4	1		1031	CI 76	1.0	-	•	⊒ #	31 (긂	•	ī	ы	ō	8
00	mo	2				2				·	1 0) e	32	20	•	ग	(1)	(1)	44	•	•	[434	(i)	80	•	•	40	100	न	٥	0	•	•	Ē
10	œ	2			۶	Ž	Ü	•	•	·	- 6	30	51	20	•	•	ďΧ	(00)1	1.4	0	•	(4)6	(41)	9.0	•	•	J (1	10 6	-1	1	•	•	٥	3
11	9	2			3	Ę	Ē	۳	1	٥	9 00	\$ E	ויני	1.0	•	• [(CD)	1.4	o i	₁ •	(A)	(m) a	9.0	0	•	4	77		٠	٠	•	9	Ê
_			_	_	_					-		_	_	_	_	_			_	_	_	-	_	_	=	=	=	_	_	=	=	_	=	
					_			_								_			_															
		_	\equiv				_					°OC					抽		\equiv									\Box						
		tep			Ξ			teo					St	·P	6 E					6 9				Kep				3						
		itep			- ->'		G-B	LR	35	١,٠	ラッ ラ		St	·P	6 E		抽出 VE2)	SL2	97				G-6	L.		0	1-ツ	7						
								LR	35	١,٠			St	·P	6 E				97					L.			1-5	=						
					S-BLA		G-B	LR	35)'(+-!		. 14	St EVF	φ <u>ρ</u> (λ)	<u>8</u> €		VE2)	SL2	97 23 &		US.	5	G-6	117		425	_	4						
	G-E	THE S	HJ.	125	P-B-P	F. 10	ਤੌਰ ਜਹ	118-0	SIAL	2 P. C.	· ·	· /4	35,7			- K	VE 2)	31.	37 A. T. B-0	1100	5.8.0	<u> </u>	10-10 10 10-10 10 10-10 10 10-10 10 10-10 10 10 10-10 10 10 10-10 10 10	0-811 G	ST(L)	E :	5 2	3						
	G-E	118-0	21 13 21 13 21 13	(X)	e e G-BLR	8 8 DLR	3 8 170 E	S 1 118-0 2 2	18 S. C. L. C.	SLAN OF	EB .	. 14 20 20 20 20 20 20 20 20 20 20 20 20 20	31	7,3,5 7,3,5 8,5 8,5	8 8	N 0 0	VE 2)	3L1 8L1	77 27 178-0 4	1 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1	8-18-0 M	101	10	3 0-BL	TIPS •	E :	5 0	<u> </u>						
.	G 170 E	118-0	2135 1	(X)	e e G-BLR	8 8 8 DLR	उ है। गाउ है। इ है	S 1 78-0 2 2 2 2	1 (1 (S) - o -	SLEEN OF O		7 11 11 12 12 12 12 12 12 12 12 12 12 12	31	7,39	8 6	2 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0	VE2)	SL:	37 38 TRPD 48 48 48	1 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1	0 8 8 9 8 8 8 8 8 8 8 8 8 8 8 8 8 8 8 8	(O) 1 (1)4 (1)5	100	3 5 TB-0 3 3 3	SUL SUL	8 6 6 6 6 6 6 6 6 6 6 6 6 6 6 6 6 6 6 6	5 2 2 2 2 2 2 2 2 2 2 2 2 2 2 2 2 2 2 2			٠	• ••			

[図40]



【図33】

		≘_			_									[図33]							
ΙГ	æ	םרש (Ē	Ē	ē	ē	윤	000	ē	1											
11	ΙĒ	G-BLR	18	2		3	8	3	3	1											
Ш	lo.	SL(R)	-	-	0.10	0	-	0	-	1	l										
-	(€	פר(ר)	0	F	·	F	F	Ξ	Ξ	•	1										
Sep		פ-פרר	-	-	-	-	-	-	-	1	ı					. 4	•				
L°	票	סרר	Ē	₫	Ē	(m) (m)	ਛ	(1)0 1(0)	0.0 (0)1 1(0)		l _										
	XEIF (XFF-> (VRW1)	סרצ	Ē	Ē	Ē	9	٤	Ē	9		П		:~	סרש	ŝ	ē	ē	ş	ē	Ē	0.0
	15	ชาย-ย	9	2	0.1	8	3	3	ខ		H	1	G-BLL/RF' {234-5	ชาย-อ	0.0	8	8	0.0	0.0	0.0	00
	令	เมาร	Ξ	0		0	0	0	0		П	m		פרנשו	P	0	0	0		0	P
"	l ≅	פרור)	0	=	=	=	Ξ	Ξ	Ξ	1	Ш	17	Œ	פר(ר)	0	9	0	0	9	0	٩
l days		G-8FT	-	=	=		Ξ	=	-		H	Z ae	減	G-8LL	9	3	3	13	9	3	19
ľ	₩.	סרר	2	5	<u>§</u>	ŝ	1.0 (1)0 0(1)	ĝ	<u>ê</u>		Ш	Ľ	8	סרר	ĝ	ŝ	ĝ	0.0 (1)0	S	ē	0(1) 1(0) 0.0 0 0
11	15 X	שרש	<u>ē</u>	Ē	1(0) 1.0 (0)1	1(0) 0:1	Ξ	Ø.	0 1.0 (0)1		Н		l	סרצ	ŝ	<u>5</u>	Ιŝ	١ş	£ (9)	£(9)	٤
!	学手	ย-ยาห	=	1.0	1.0	1.0		1.0	1,0		П	1	l	פ-פרצ	3	9,1	91.0	0'0	1,0	2	2
Γ	1	(H)18	-	0	0		•	•	0		П	~		(H)7S	•	•	•		•	•	00 0
]]	5	פתרו		Ξ	_	1	Ε.	ı	Ξ	l	П	1		פרור)	0	9	0	9	9	0	۽
Sep	G-BLL/R7*(1/1+*)/ G-BLL/R7* Jf+*)/	פ-פרר	۳	드	-		-	1	Ļ		П	Step	DL _{\$7,7}	פ-פרר	8	3	3	8	.8	0.0	١
	ပံ ပံ	סרר	(0)1 1(0)	<u> </u>	1603	(1)0	(5)	1(0)	1(0)		П	Ľ	ᆸ	סרר	ê	<u>1</u>	<u>Ş</u>	Ê	ŝ	1(0)	9
122		שרם	_	9	1(0)	1(0)	S	(1)a	1(0)		П			מרצ	0	°	ŀ	Ŀ	٥	°	
40		G-8LR	Ŀ	•	0	D	۰	0	0		Н	ı	Ë	ยาย-อ	9	2	6,1	8	2,1	ø١	2
<u> </u>		פרנעו	Ξ	0	0	0	0	0	0	ŀ	Ш	-	5	(ษ)าร	0	0	0	0	0	0	9
2 2		פרנרו	0	Ŀ	H	1 1 0	П	П	Ы	ŀ	Н	1~	-	פרוד)	0	0	0	0 0	0 0	0 (چلا
F位ビットの合成 Siep 4	3	פ-פרר	0	٦	ᆜ		Ξ	Ŀ	Ц		Ш	Slep	1	פ-פרר	00	00	90	٥	ō	3	غ
FL	SC #3.1	מרד	5	1(0)	1(0)	(a)1 (c)	a.0 (1)0 (1)	1(0)	(a) 1 (a)		Н	Ľ	SLAIT, DLAMP	סרר	(0)1	(0)1 1(0)	(0)1 1(0)	0(1) 0.0	0 1.0 (1)0 0(1) 0.0	0 10 (1)6 1(0) 00	0 00 (01 1/0 00
	<u> </u>	DFB	9	(G)	1(0)	(0)	Ē	Q(1)	(0)		Ш		79版数IDLR→G-BLR) 75版数ISL(R)→G-BLR)	ยาอ		9	9	1(0) 0.0	E	٤	ě
	1	ษาย-១	1.0	aυ	σσ	00	8	0.0	0.0		Ш		2 Š	ฮ-ยาช	8	2	1.0	00	2	1.0	18
	2	(H)7S								ĺ	Ш	6	ᇉ	เหมาร	0	-	-	0	0		6
ო	1	פר(ר)	oxdot	Ц							П	-	멸질	פר(ר)	1	0	0	ı	ı	1	٠
Step	х र .	פ-פרר	9.8	8	9.5	8	S	9.5	0.5		Ш	Step 1 0	福福	פ-פרר	0.0	0.0	0.0	0.0	0.0	0.0	5
Ľ	E	מרר	1(0)	1(0)	(e)1 1(0)	(1)0	(1)0	1(0)	1(0)	2°	Ш	Ľ	\$-;£	סרר	9	Ę	<u>(S</u>)	0.0 (1)	5	1(0)	(0) 1/0) 0.0
		טרש	1(0)	1.0 (0)1	L(®)	50 (1)9 1(0)	50 (1)0 0(1)	(1)0 1(0)	1.0 (0) 1(0)	とは逆になる。		Γ	:\	ยาต	ē	1(0)	1(0)	1(0)	O(1) 0.0 1 0 0.0 (130 O(1) 0.0	1 0 0.0 (1)0 1(0) 0.0	1
	1	ช-ยาย	9.	1.0	1.0	1.0	1.0	2 2 月				*	ยาย-อ	900	0.0	00	1 0 0.0	0.0	0.0	13	
1	E	(ษ)าร	(H)7S				11	7	เมาร	0	-	1	0	0	0	0					
~	E	פר(ר)	_	Ш	_	L		Ц	Щ	4	Н	6	Įξ	רו) ארו	-	0	•	1	듸		00 1 00
Step	Q-BLL/R7"/ft->	G-BLL	۳	Ţ	Ę	_	۲	-	_	& 33		Step	G-BLL/RF*1354-5	פ-פרר_	Š	80	8	0.0	00	gro Kojs	Īŝ
	Ó	סרד	1(0)	1(0)	1(0)	(1)0	(1)	1(0)	1(0)	能能		Ľ	<u>&</u>	סרד	ĝ	ê.	1(0)	(1)	8	100	(0)1
	1	מרש	(0)1	1(0)	(U)1	(O)	QΩ	O(s)	ľ(Œ)	₹運		ΠП		טרצ	<u>(6)</u>	1(0)	1(6)	1(0)	ŝ	αĐ	
	i	ษาย-ย	L	Ц						16		ı		ย-ถาย	2	П	Ц	0	0	0	Ŀ
		ยา(ษ)	L	_						Ήř.	Н	L		פרנשו	-	Ŀ	듸	•	-	0	ŀ
-	4	פרלר)	Щ	Ш						aУ	Н	∞	1	פרנרו	드	0	0	ļ	_	-	ᄓ
l ls	<i>፣</i> -•ኢ _ታ	פ-פרר	ليا	ليا				لبا	Щ	占		Step	5 3	פ-פרר	드	0	0	-	-	1	Ŀ
چ ا		סרר	1(0)	(0)1	1(0)	0(1)	(1)	10 1(0)	10)	※非選択側DLの入力デー9は通常書き込み		ľ	SL-237	סרר	1(0)	1(0)	1(0)	0 €1)	0(1)	1(0)	ē
Step		, , ,		Ľ	_	_															
degs	内容 7:-	記載のおける 6-・デルム音音	01 11	11 00	10 11	01 0(1)	8	9	=		L					4					

- 34 -

[図34]

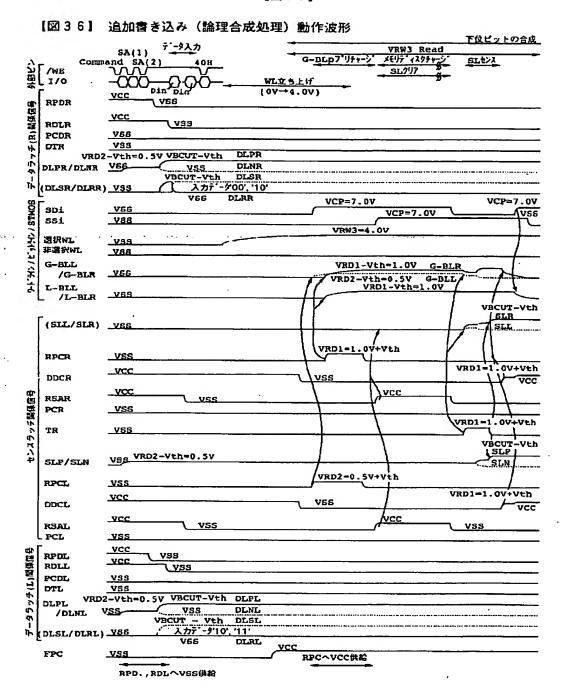
						٠																
						_					_				[2]34]							
1	Γ		סרצ	ê	ê	1(0)	ê	ŝ	<u>6</u>	ĝ	l											
1	1		ยาย-ย	3	3	3	9	9	8.0 1(0)	0.0 0(1)	l											
1	6	G-BLL)	(ษ)าร	 	-	0	0	ō	0	0	l											
1			פרורו	•	•	Ξ	Ξ	Ξ	П	Ξ	L		€									
	l de	ğ	ฮ-ยา	0.0	0.0	1.0	0.0	9.0	1.0	1.0	1											
	Ø	漢	סרר	<u>6</u>	5	9	0(1) 0.0	Ø1	1(0)	1(0)	۱											
	Γ	→G-BLL) 演算(DLĽ, -ジ	טרצ	0(1) 1(0) 0.0	100	100	0(1)	1(0) 0(1) 0.8	(0)1 (0)1 00	Columbia Columbia	(1)0	1(0)										
ı		۱٫ ق	ย-ยาย	3	9	8	œ	Q.	O'8	3		L	훓		ย-ยาย	Г						
		17.3	(H)78	-	-	•	•	0	o	ō		1.5	ĕ				П		\vdash	М	П	
1	17 Step 18 (H)* (254+3)* 7: →张张SL(L) (G-BLR7')\$*	3.5	פתרו	•	•	-	-	-	1	F		80	là			Г					П	Г
	6	選号	ฮ-ยาเ	3	••	=	6. 1	3	9"1	3		钾	찬									
	Ø		סדר	Ē	Ē	Ē	9	£	1(0)	9			製			흔	6	1(0)	0(1)	0(1)	50	1(0)
1	1 7 (RF* (2/54-5)*	,	מרצ	ŝ	2		εĵ	ê	0.0 1(0)	Ē		厂			ยาต	ē	ê	a (1)	16	e (1)	Ē	(0)
٠ .		1	ฮ-ยาช	뎧	뎧	0.0 1(0)	0.0	9.0	ᅙ	9		:	l		มาต-ถ	Ť	Ť	1;	-	· -	Ť	Ť
		12	SL(R)	۴	=	8	0	6	9	8	1	믒	_			H	-	-	\vdash	_	-	М
		1	פר(ר)	-	0	=	-	-	ļ	-	I	消し戻し	\sim		פר(ד)	\vdash		_			П	
12		7	าาย-ย	3	9	0.0	0.0	0.0	0.0	9		严	Step	#1	าาย-ย			_				
6	ಸ	9-81	סרר	ē		5	9	(D)	t(0)	(O)			\ <u>\</u>	泙	סרר	S	30	1(0)	8	Š	ē	(0)
上位ビットの合成		<u> </u>	מרצ	ਿੰਡ	1(0)	€	63	9	1(0) 1(0) 0.0	0(1) 1(0) 0.0	l	Г	Г		ยาด	Ø(1)	1(0)	1(0)	0(1) (1)0	1(0)	1(0)	(1)
			ยาย-ย	-	-	٥	•	0	0	0	ı			1	פ-פרצ	3	0.0	0.0	00	ဒ	0.0	90
ĮΫ	١		เมาร	┢═	┢═	•	•	•	0	o	ı			*	2ר(น)	ö	0	10	1	-	5	9
1	9 -		פר(ר)	۱.	-	ī	┢	F	I	=	i		22).]2.	פרורו	-	0	0	0	0	0	0
ı	l۾	_	פ-פרר	1-	-	1	F	-	1	-	١		Step	اڭا	2-8LL	0.0	0.0	0.0	0.0	9.0	8.0	3
ı	Š	SL t ',	סרר	₽	ē	_	0(1)	0(1)	ш		1		ន្ត្រី	G-8LL/R }* (スチャーシ	סרר		0(1)	0 (0)				0.0 0(1) (0)1 0.0
ı			סרצ	\$	2	1(0)	2	9	0 0.0 ((0) 1(0)	(0)1 (1)0 00			┢	<u> </u>	סרצ	0(1)	1(0)) (o)	0(1)	1(0) (1)0	1(0) (0)1	ĕ
		VRV	ชาย-อ	3	3	3	3	3	0.0	90	ı				ย-ยาย	2	0.0	0.0 1(0)	000	3	0.0	3
1	5). (เมาร	0	-	0	0	0	0	0	1		I		(ษ)าร	0	0	0	0	0	0	0
1	-	£ 1	פר(ר)	•	▣	•	•	•	•	•	ı		~		אר(ר)	9	0	0	ø	•	0	
	Step	φ.	פ-פרר	-	-	-	-	-	1	1	ı		Step	15	าาย-อ	18	0.0	0.1	0.0	0.0	1,0	9
	22	√₹₩. (VRW2)	סרר	ē	Ē	Ē	Ş	Ē	(0)	الق)	ı		ೱ	מרגאם	סרר	(1)0 0.0	0(1)	<u>6</u>	0(1) (1)0 0.0	1(0) (1)0 0.0	0.0 1(0) (0)1 1.0 0	0(1) (0)1 1.0 0
1			סרש	ş	€	€	O(1)	1(8)	1.0 1(8) 1(0)	(0) (1)0	ı				סרש	Ê	1(0)	1(0)	(1)0	1(0)	1(0)	9(1)
		<u> </u>	ם-פרצ	3	5.	=	9"	1.0	1.0	1.0				_	פ-פרצ	9	0.0	0.0	0.0	0.0	0.0	0.0
		達	เษาร	0	٥	0	0	٥	0	0	1	l	_	2	ยาเม	0	0	0	0	0	0	0
	-	G-BLL/R7*!}f+-;	פר(ר)	0	•	0	0	0	0	0	ı		20	SL7117. DLL7117	פרורו	•	ŀ	0	0	•	0	•
	Step	3	פ-פרר	-	Ξ	-	-	-	-	-			Step	<u>≓</u>	פ-פרר	0.0	0.0	1.0	0.0	0.0	1.0	1.0
	S	9-9	סרר	ē.	1(B)	1(0)	0(1)	(<u>C</u>	1(0)	1(0)			Ľ	SL7	סרר	0	•	0	•	•	•	•
	_			_																		_

- 35 -

【図35】

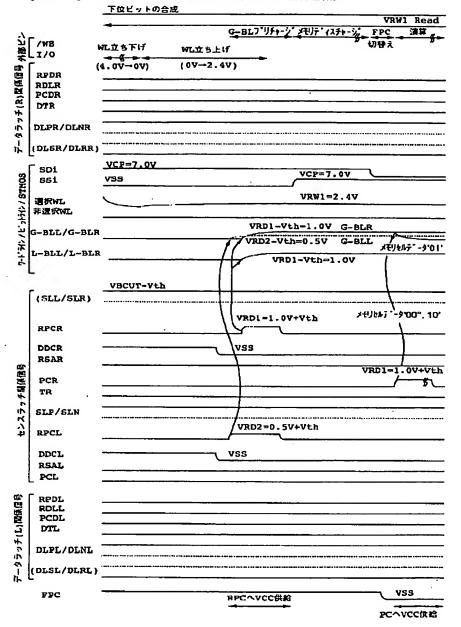
2.	3 消:		- ケ	・シフ	ζ																					
tcp										消	去べ	リ	_	_] .	
		tep		- * - 1 -				tep						tep			L .1-4		3		l					
7#	G.	-BLI	_/R.	7'') f	ヤージ			/7 ⁻ 1 V−:					SI	シ	āAi	LL:	利疋			BLL クリア	/Rī	17	† *- :	,		
			Γ_	_	æ	Т				Γ	œ	Γ	\vdash				æ		_				æ	_	1	
		G-BL	SL(L	SL(R)	G-BLR	ة	금	G-8L	SL(L)	SL(R)	G-BLR	5	님	G-811	SEL	SL(R)	G-BLR	岩	둞	G-BU	뭆	SLR	G-BLA	岩		
	0	ပြ	ऊ	S	Ó	P		Ġ	જ	ខ	ပြ	0	0	ဖြ	ಶಃ	S	Ġ	ᄋ		ģ	ਲ਼	S	ပ်	0		
11	П	0.8			1.0	T	Г	0.8			1.0			0	0	-	1	Г		0	0	Ī	•		1	
1下		Q.S			1.0	Г	П	0.R			1.0		Г	0	0	•	1	Г	Г	٥	٥	0	0			
				₩,										LM:	2:	f'a:	\$5 P ‡	消分	针	7					•	
11	<u>下</u> :	110	<u>ካ</u>	/th#	<u>`</u>	Val	才比	ທ⊦'	7 } (舎	戻	は対	RI:	, 4t)												
ſ				_			_				_		-	_		_		_								
	ľ	tep	<u>消</u>				┝	tep	6	•			_	去个 lep		<i>)</i>	7 1	2	- Q		-			_	1	
		步						err		7°11:	fo -1	,•		リティ		,- ·		_		tep t>x		1 3	i Æ	_	ł	
	"	_	•				ľ			• •				ÉV-					٦		-		-J AC			
		7	_		æ	_	١.			_	α,	I_	Ť.	٦			æ		T.	بد	_	-	4	I	1	
	占	G-BL	STE	SLA	G-BLR	띰	占	G-BLL	궁	SLE	G-BLR	ä	占	유	SLA	L(R	9-6	띰	뒴	G-81	SL(L)	SLE	G-BE	2	٠	
	╚	Ö	S_	L	Ó	に	ニ	_	S	S.		ビ	Ľ		Ľ	S	_	Ľ	Ľ	Ġ	Ľ	_	_		1	
	L		_		_	┖	_	0.5	_	<u> </u>	1.0	L	L	0.5		Ц	8	L	L.	•		٥	٥		<u> </u>	
			Ш	Ц	<u> </u>	ᆫ		0.5	<u> </u>	<u> </u>	1.0	<u> </u>	L	0.5	Ш	Ц	0.0	L	<u> </u>	بيا	Ŀ	٥	٥		<u>.</u>	
															-				AL	L#J)	Œ.	Fail	un S	tep	5^	
•	_					_						4.	11'	ΙĐ	Ŧ.	(")	2	9 H	-			-		_	1.	
1	s	lep	9				9	tep	10				11'エラティック検比 Step 11							Step 12						
]				- 12	ft->	,-		G-BLL/R7"/ft-9"							スチョ	ーシ	•		SL		1					
- 1	SL	クリ7					L_						$ \nabla$	W)-1	.2\	2		L	_		_			1	
		ⅎ	5	æ	5	æ	ارا	글	ㅁ	æ	<u>~</u>	læ		=	5	Œ	4	<u>~</u>	۰	3	<u>_</u>	æ	5	æ	l	
	占	G-BL	SLU	SL(R)	G-BL	PL B	님	G-81.	STL	SL(R)	G-BL	님	2	G-BL	굺	둤	G-BL	OLR	占	9-91	SLL	SL(R)	G-BL	2	l	
ŀ	Н	۲		0	÷	┢	Н	0.5	<u> </u>	-	1.0	⊢	Н	0.5	-	_	1.0	⊢	\vdash	0	0	_	•	-	1	
-	Н	÷	H	6	H	┢	Н	0.5	\vdash	_	1.0	┢╾	H	0.5	Н		0.0	-		H	۴	-0	÷		-	
ι	Ч	ـــــــــــــــــــــــــــــــــــــــ	-		Ľ	<u> </u>	لب					_			(a)	ب	۳	_	AL					消去) 197	
	_														.,											
								書き		み((F)	71)	_	卜助.	止奴	ī瑾)								Ì	
		tep						tep				•		tep						ер	1 G					
	=	多汉	*					BLL						IJŦ*4						クリア		. 16	-1-0-			
ŀ	Н				-		3	BLL	/ <u>~</u>	, ,,	_	_	1	WV(_		SL	センス	5.AI) JE	_		
	DLL	BL1	SL(L)	SLIRI	G-BLR	吕	סרד	귫	SL(L)	SL(R)	BLA	5	딞	BLI	SLC	宝	G-BLR	OLR	2	딞	(T/TS	SL(R)	3	DLR		
	۵	9	ᄶ	ᅜ	9	10	۵	<u>a</u>	ఠ	었	Ġ	ā	٥	6-1	더	ಭ	5	õ	0	G-81	ದ	ល	G-BLI	ō		
		0.0	0.0	6.0	0.0	Г		0.5	0	1	1.0		П	0.6	0	•	1.0	П		•	•	7	•			
		6.0	6.0	0.0	0.0			0.5	7	0	1.0		П	n.s	•	0	1.0	П		0	0	•	-			
											_								ALI	判)	Ē.	Fall	n)S	tep	13^	
		_								4.5				<u> </u>		_							_			
· ·									- 1	1.7	こうさ	<u> </u>	_	_	四			_								
 [lan	17		_		F =	100				Step 18 メビリデ・イスチャーシ・(VWDS)							Step 20 G-BLL/R7*(Xf+-')*							
_ <u>_</u> 		tep		1,114	h-2/*				18	57.11	רוואני	51			19	13	明令	_				÷*,	742	_*,*		
				1,174	>-シ				18	シ^{∨	wu	S)		tep t>X		L.	印定		G-	BLL		Ť * (λfψ	-り*		
		BLI	./R				JE!	7 17	18 **-	·				センス	8AI				G-		./R					
	G-	BLI	./R				JE!	7 17	18 **-	·			SL	センス	8AI				G- SL	BLL クリア ー!	./R					
				SL(R)		DLR	JE!		18	SL(RI	G-BLR &	~					~	DLR	G-	BLL			G-8LR	DLR 4		
	G-	BLI	./R				JE!	7 17	18 **-	·			SL	センス	8AI				G- SL	BLL クリア ー!	./R					

【図36】



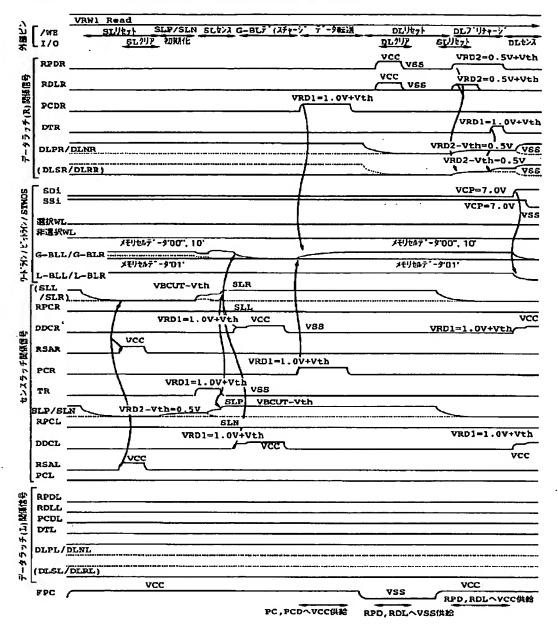
【図37】

【図37】 追加書き込み (論理合成処理) 動作波形

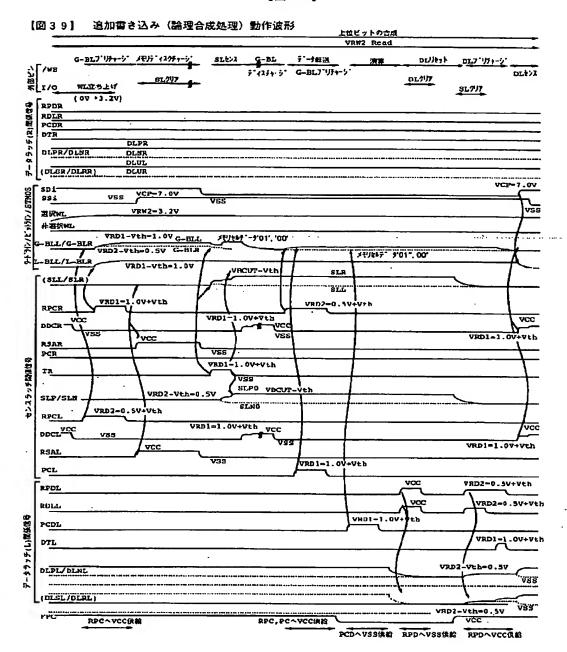


[図38]

【図38】 追加書き込み(論理合成処理)動作波形



【図39】



フロントページの続き

(72)発明者 辻川 哲也

東京都 育梅市新町六丁目16番地の3 株式 会社日立製作所デバイス開発センタ内 (72)発明者 原田 敏典

東京都小平市上水本町5丁目22番1号 株式会社日立超エル・エス・アイ・システム ズ内

半導体装置、データ処理システム及び不揮発性メモリセルの関値変更 方法

(72)発明者 小谷 博昭

東京都骨梅市新町六丁目16番地の3 株式

会社日立製作所デバイス開発センタ内

(72)発明者 久保埜 昌次

東京都小平市上水本町5丁目22番1号 株 05 式会社日立超エル・エス・アイ・システム

ズ内

(72)発明者 野副 敦史

東京都南梅市新町六丁目16番地の3 株式

会社日立製作所デバイス開発センタ内

(72)発明者 吉竹 貴之

東京都小平市上水本町5丁目22番1号 株

式会社日立超エル・エス・アイ・システム

ズ内